



PCT

特許協力条約に基づいて公開された国際出願

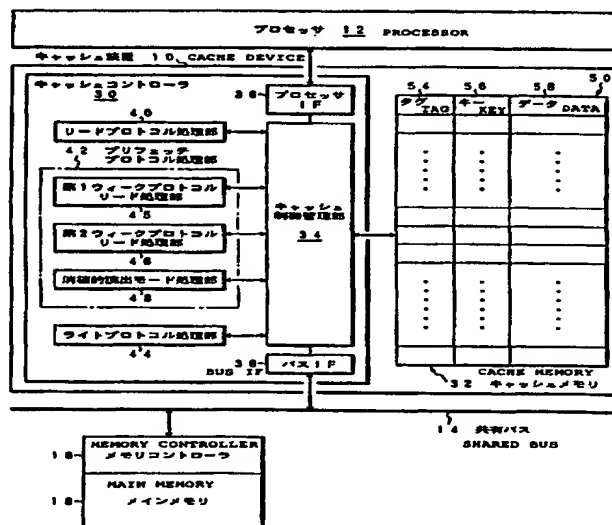
<p>(51) 国際特許分類 G06F 15/16</p>	<p>A1</p>	<p>(11) 国際公開番号 WO00/38077</p> <p>(43) 国際公開日 2000年6月29日(29.06.00)</p>
<p>(21) 国際出願番号 PCT/JP98/05759</p> <p>(22) 国際出願日 1998年12月18日(18.12.98)</p> <p>(71) 出願人 (米国を除くすべての指定国について) 富士通株式会社(FUJITSU LIMITED)[JP/JP] 〒211-8588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa, (JP)</p> <p>(72) 発明者; および (75) 発明者/出願人 (米国についてののみ) 佐藤 充(SATO, Mitsuru)[JP/JP] 久門耕一(KUMON, Kouichi)[JP/JP] 〒211-8588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa, (JP)</p> <p>(74) 代理人 弁理士 竹内 進, 外(TAKEUCHI, Susumu et al.) 〒105-0003 東京都港区西新橋3丁目25番47号 清水ビル8階 Tokyo, (JP)</p>		<p>(81) 指定国 JP, US</p> <p>添付公開書類 国際調査報告書</p>

(54)Title: CACHE DEVICE AND CONTROL METHOD

(54)発明の名称 キャッシュ装置及び制御方法

(57) Abstract

Cache devices are provided for respective processors, interconnected through a common connection network, and connected to a main memory. Each cache memory stores part of the data in the main memory in units of one cache line and sets the state tag of, for example, an MESI protocol, used for data consistency control, for every cache line. If a prefetch request occurs accompanying a read request made by a processor, a cache controller executes a weak read operation for causing the prefetch request to fail as a prefetch protocol when the data stored in other cache devices cannot be read unless the state tag is changed. Moreover, the cache controller reads prefetch data without changing the state tag of the other cache devices and stores the data in a weak read state W. The data in a weak read state is made ineffective through a memory-consistency sync operation by a software. Moreover, the cache controller stores the prefetch data in a cache in a passive storage mode, and it does not report the storage of the prefetch data even if the prefetch data is required to be read by another cache unit.



- 3.0 ... CACHE CONTROLLER
- 3.2 ... CACHE MEMORY
- 3.4 ... CACHE CONTROLLING/MANAGING SECTION
- 3.6 ... PROCESSOR IF
- 4.0 ... READ PROTOCOL PROCESSING SECTION
- 4.2 ... PREFETCH PROTOCOL PROCESSING SECTION
- 4.4 ... WRITE PROTOCOL PROCESSING SECTION
- 4.6 ... FIRST WEAK PROTOCOL READ PROCESSING SECTION
- 4.8 ... SECOND WEAK PROTOCOL READ PROCESSING SECTION
- 4.8 ... PASSIVE READ MODE PROCESSING SECTION

(57)要約

キャッシュ装置は複数のプロセッサ毎に設けられ、相互に共通結合網で結合されると共に主記憶と結合される。キャッシュメモリは、主記憶の一部のデータをキャッシュライン単位に保存すると共に、データの一貫性管理に使用する例えばMESIプロトコルの状態タグをキャッシュライン毎に設定する。キャッシュコントローラは、プロセッサの読出要求に伴ってプリフェッチ要求が発生した際に、他のキャッシュ装置が保存しているデータを、その状態タグを変更しなければ読み出せない場合は、プリフェッチ要求を失敗させる弱い読出操作をフェッチプロトコルとして実行する。また他のキャッシュ装置の状態タグを変更せずにプリフェッチデータを読み出して弱い読出状態Wを設定して保存する。弱い読出状態のデータは、ソフトウェアによるメモリコンシステンシの同期操作で無効化する。更に、消極的保存モードでプリフェッチデータをキャッシュに保存し、他のキャッシュ装置の読出要求に該当しても保存を知らせないようにする。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AG	アンティグア・バーブーダ	DZ	アルジェリア	LC	セントルシア	SD	スーダン
AL	アルバニア	EE	エストニア	LJ	リヒテンシュタイン	SE	スウェーデン
AM	アルメニア	ES	スペイン	LK	スリ・ランカ	SG	シンガポール
AT	オーストリア	FI	フィンランド	LR	リベリア	SI	スロヴェニア
AU	オーストラリア	FR	フランス	LS	レソト	SK	スロヴァキア
AZ	アゼルバイジャン	GA	ガボン	LT	リトアニア	SL	シエラ・レオネ
BA	ボスニア・ヘルツェゴビナ	GB	英国	LU	ルクセンブルグ	SN	セネガル
BB	バルバドス	GD	グレナダ	LV	ラトヴィア	SZ	スワジランド
BE	ベルギー	GE	グルジア	MA	モロッコ	TD	チャード
BF	ブルキナ・ファソ	GH	ガーナ	MC	モナコ	TG	トーゴ
BG	ブルガリア	GM	ガンビア	MD	モルドヴァ	TJ	タジキスタン
BJ	ベナン	GN	ギニア	MG	マダガスカル	TM	トルクメニスタン
BR	ブラジル	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア	TR	トルコ
BY	ベラルーシ	GW	ギニア・ビサウ		共和国	TT	トリニダード・トバゴ
CA	カナダ	HR	クロアチア	ML	マリ	TZ	タンザニア
CF	中央アフリカ	HU	ハンガリー	MN	モンゴル	UA	ウクライナ
CG	コンゴ	ID	インドネシア	MR	モリタニア	UG	ウガンダ
CH	スイス	IE	アイルランド	MW	マラウイ	US	米国
CI	コートジボアール	IL	イスラエル	MX	メキシコ	UZ	ウズベキスタン
CM	カメルーン	IN	インド	MZ	モザンビーク	VN	ヴェトナム
CN	中国	IS	アイスランド	NE	ニジェール	YU	ユーゴスラヴィア
CR	コスタ・リカ	IT	イタリア	NL	オランダ	ZA	南アフリカ共和国
CU	キューバ	JP	日本	NO	ノルウェー	ZW	ジンバブエ
CY	キプロス	KE	ケニア	NZ	ニュージーランド		
CZ	チェッコ	KG	キルギスタン	PL	ポーランド		
DE	ドイツ	KP	北朝鮮	PT	ポルトガル		
DK	デンマーク	KR	韓国	RO	ルーマニア		

## 明 細 書

## キャッシュ装置及び制御方法

## 【技術分野】

- 5 本発明は、マルチプロセッサシステムでキャッシュメモリを管理するキャッシュ装置及び制御方法に関し、特に、キャッシュメモリにプリフェッチされたデータを適切に管理するキャッシュ装置及び制御方法に関する。

## 【背景技術】

- 10 キャッシュ装置は、計算機のメモリアクセス時間を短縮するための有効な手段の一つである。プロセッサにキャッシュメモリと呼ばれる小容量で高速なメモリを付加し、一度アクセスしたデータを保存することによって次にアクセスした場合には高速にデータを返すことができる。

- 図1はマルチプロセッサシステムのキャッシュ機構であり、プロセッサ102  
15 -1, 102-2, ... 102-nのそれぞれにキャッシュ装置100-1, 100-2, ... 100-nを設け、相互結合網106により主メモリ108と共に共通接続されている。

- このキャッシュ装置が有効に働くためには、プロセッサが要求するデータがなるべくキャッシュの中に保存されている状態を保つことが望ましい。即ち、プロ  
20 セッサが要求するデータがキャッシュの中にない場合が多ければ、それだけ多くの回数、低速なメインメモリをアクセスしなければならず、平均のメモリアクセス時間が低下する。特に、マルチプロセッサシステムでは、複数のプロセッサが同じメモリをアクセスするため、アクセスの競合が起こり、メインメモリのアクセス速度の平均はさらに低下する傾向をとる。そのため、プロセッサが要求  
25 するデータをキャッシュ装置に保持しておくことは、キャッシュ装置を用いた計算機システムにとって重要な課題である。

現在のキャッシュ装置は、メモリアクセスの時間的局所性と空間的局所性という性質を用いて、キャッシュ装置のヒット率を向上させている。時間的局所性とは、一度アクセスしたデータはまたすぐにアクセスされやすいというものであり、

## 2

キャッシュ装置の中では一度アクセスされるとそのデータは追い出されにくくするLRUなどの手法によって利用されている。

また空間的局所性は、一度アクセスされたデータの近傍データはアクセスされやすいというものである。このためキャッシュ装置は図2のキャッシュメモリ110のキャッシュライン111に示すように、アドレス112に続くキャッシュアレイ114に、アクセスしたブロックデータ116-1に続く3ブロック分、のブロックデータ116-2-116-4を含む4ブロック分のデータを格納し、キャッシュブロック単位で管理するなどの手法によって利用されている。

空間的局所性は、時間的局所性と異なり、プロセッサから実際には要求が出ていないデータでもキャッシュ装置の中に予め取り込むという方法を用いる。これをさらに進めると、近いうちにプロセッサが要求するであろうブロックを予めキャッシュに格納しておくという方法も可能になる。これがプリフェッチである。プリフェッチを利用することによって、さらにキャッシュ装置のヒット率が上がり、メモリのアクセス時間を短縮することが可能になる。

このプリフェッチは、単一のプロセッサシステムだけでなく、マルチプロセッサシステムにおいても有効な手法である。しかし、マルチプロセッサシステムでは、新たに無駄な共有という問題が生じる。

マルチプロセッサシステムにおけるキャッシュシステムでは、ひとつのプロセッサのキャッシュ装置と他のプロセッサとのキャッシュ装置との間で矛盾が生じないように、キャッシュ装置の一貫性（キャッシュコヒーレンス）の管理を行う。例えば、図3（A）のように複数のキャッシュ装置100-1-100-nが保持しているデータは共有状態（Shared）になっており、プロセッサ100-nが共有状態のデータに対し書込みを行う場合は、図3（B）のように、他の同じデータを持っているキャッシュ装置100-1、100-2に通知して必ず無効状態（Invalid）にした後に行う。この無効化によって他のキャッシュ装置100-1、100-2は、自己のデータが最新の状態ではないことを知ることができる。このようにして、どのプロセッサでデータを読み出しても、その時点で最新のデータを読み出せるようにするのが一貫性管理である。

プリフェッチは、ひとつのキャッシュ装置が、プロセッサによって要求された

データに加えて、近い将来要求されるであろうデータを予測して読み出す。しかし、この予測は必ずしも当たるわけではないので、無駄にデータを読み出してしま  
う可能性がある。単一のプロセッサシステムの場合でも、プリフェッチによる無  
駄な読出しはメインメモリとキャッシュの間の無駄なトラフィックとして問題に  
5 なるが、マルチプロセッサシステムシステムでは、それに加えて、無駄な共有状  
態が発生する。即ち、要求されたデータのみを読み出す方式では共有しなかった  
データも、プリフェッチを用いた方式では複数のキャッシュ間で共有にされてし  
まうことがある。

共有状態になったデータに対しては、書込み時に他のキャッシュ装置に通知す  
10 るという処理が必要になる。この他のキャッシュ装置に通知する処理を終了しな  
い限りデータを更新することができないため、共有されたデータに対する書込み  
は、キャッシュ装置にとって処理に時間のかかる重い処理になる。そのため、マ  
ルチプロセッサシステムのプロリフェッチは、プリフェッチによる利点と無駄なト  
ラフィック及び無駄な共有による欠点とが相殺し合い、性能的に優れたものとは  
15 なりにくかった。

このように従来のキャッシュ装置では、キャッシュのヒット率を向上させるプ  
リフェッチは、同時に、無駄な共有による書込み時のオーバーヘッドの増加やプ  
リフェッチによるデータ転送の増加を招き、マルチプロセッサシステムには応用  
しにくいという問題がある。

20

#### 【発明の開示】

本発明に従えば、マルチプロセッサシステムのキャッシュ装置でのプリフェッ  
チを有効に利用し、オーバーヘッドやデータ転送の増加を招くことなくキャッシ  
ュヒット率を向上させるキャッシュメモリ装置及び制御方法が提供される。

25 (第1ウィークリード)

本発明は、プロセッサ毎に設けられ、相互に共通結合網で結合されると共に主  
記憶と結合されたキャッシュ装置であり、キャッシュメモリとキャッシュコント  
ローラを備える。キャッシュメモリは、主記憶の一部のデータをキャッシュライ  
ン単位に保存すると共にデータの一貫性管理に使用する状態タグをキャッシュラ

イン毎に設定する。キャッシュコントローラは、プロセッサの読出要求に伴ってプリフェッチ要求が発生した際に、他のキャッシュ装置が保存しているデータを、その状態タグを変更しなければ読み出せない場合は、プリフェッチ要求を失敗させる弱い読出操作（第1ウィークリード操作）をフェッチプロトコルとして実行する。

通常キャッシュ装置では、読出要求が発生するとデータを必ず読み出されなければならない、そのため、他のキャッシュの状態を変化させた後に読み出すという一貫性管理のための重い処理を必要とする。しかし、本発明のキャッシュ装置はプリフェッチプロトコルを備えることで、プリフェッチは、後に使われない可能性もある一種の投機的なメモリアクセスであるので、読出しを必ず成功させる必要がなく、そのため、他のキャッシュの状態を変更するような場合には読出失敗とするプロトコルとし、失敗する可能性がある弱い読出操作を実現する。このプリフェッチプロトコルによって、他のキャッシュ装置の状態変更を起こすプリフェッチを排除し、プリフェッチの読出要求および当該データに対する書込み処理に伴うオーバーヘッドを減らす。

ここでキャッシュメモリは、保存データの状態タグとして有効を示す変更状態M、排他状態E及び共有状態Sと、無効状態Iの4状態（MESIプロトコル）で区別する。キャッシュコントローラは、プロセッサの読出要求に伴って発生した他のキャッシュ装置に保存しているプリフェッチ要求に該当するデータが変更状態M又は排他状態Eのとき、このプリフェッチ要求をプリフェッチプロトコルに基づき失敗させる。このようなプリフェッチプロトコルを用いることによって、排他状態Eまたは変更状態Mにあるキャッシュ装置の状態変更を起こすことを防ぐことができ、排他状態Eまたは変更状態Mでデータを保持しているキャッシュ装置からプリフェッチに伴うオーバーヘッドを削減することができる。

またキャッシュコントローラは、他のキャッシュ装置に保存しているプリフェッチ要求に該当するデータが、無効状態Iのときは主記憶から読み出して排他状態Eでキャッシュメモリに保存し、共有状態Sのときは他のキャッシュ装置から読み出して共有状態Sでキャッシュメモリに保存する。この場合は、通常のMESIプロトコルによる処理である。

(第2ウィークリード)

本発明の別の形態のキャッシュ装置において、キャッシュコントローラは、プロセッサの読出要求に伴ってプリフェッチ要求が発生した際に、他のキャッシュ装置が保存しているデータを、その状態タグを変更しなければ読み出せない場合、  
5 状態タグを変更することなくデータを読み出してプロセッサに応答した後に、弱い状態（ウィーク状態）Wを設定してキャッシュメモリに保存する。その後、ソフトウェアによりデータの一貫性をとるメモリコンシステンシの同期操作時に、弱い状態Wにあるキャッシュメモリのデータを全て無効化するプリフェッチプロトコルを実行する。この弱い状態でプリフェッチデータを保存する読出操作を第  
10 2ウィークリードという。

この第2ウィークリードは、ソフトウェアによって弱い一貫性を保つ同期操作を伴うメモリコンシステンシモデルのもつ同期と同期の間のメモリ操作の順序は任意であるという性質を利用したものである。このメモリコンシステンシモデルを利用して他のキャッシュ装置の状態変更を必要とするプリフェッチデータの読  
15 出しを行う場合、第1ウィークリードでは失敗としていたものを、第2ウィークリードではデータを読み出してプリフェッチを正常終了させる。後に、同期ポイントに達し、同期メッセージが各キャッシュ装置に配られると、各キャッシュ装置は弱い状態Wのデータを検索し、全てを無効化する。これによって、同期点を越えた順序の入れ替えを防ぎ、メモリコンシステンシモデルの要請を満たす。

20 ここでMESIプロトコルを例にとると、キャッシュコントローラは、他のキャッシュ装置に保存しているプリフェッチ要求に該当するデータが変更状態M又は排他状態Eのとき、状態タグを変更することなくデータを読み出して弱い状態Wを設定してキャッシュメモリに保存し、メモリコンシステンシの同期操作時に、弱い状態Wを全て無効状態Iに変更する。

25 このため弱い状態Wでプリフェッチした後に、他のキャッシュ装置が排他状態Eまたは変更状態Mでもっているデータをプロセッサが更新しても、その更新は弱い状態Wのキャッシュ装置には通知されない。しかし、これは弱い状態Wでデータを保存しているキャッシュ装置と、排他状態E又は変更状態Mでデータを保存しているキャッシュ装置において、データの更新順序が入れ替わったと認識する

## 6

ことができ、メモリコンシステンシモデルを満たしている。そして、後に、同期ポイントに達し、同期メッセージが各キャッシュ装置に配られると、各キャッシュ装置は弱い状態Wのデータを検索して全て無効化する。これによって、同期点を越えたデータ更新の順序の入れ替えを防ぎ、メモリコンシステンシモデルの要  
5 請を満たすようにしている。

またキャッシュコントローラは、他のキャッシュ装置に保存しているプリフェッチ要求に該当するデータが、無効状態Iのときは主記憶から読み出して排他状態Eでキャッシュメモリに保存し、共有状態Sのときは他のキャッシュ装置から読み出して共有状態Sでキャッシュメモリに保存する。この場合、MESIプロ  
10 トコルに従う。

(消極的保存モード)

本発明の別の形態のキャッシュ装置において、キャッシュコントローラは、プロセッサの読出要求に伴ってプリフェッチ要求が発生した際に、他のキャッシュ装置又は主記憶からプリフェッチしたデータに消極的保存モードPを設定してキ  
15 ャッシュメモリに保存し、

①他のキャッシュ装置からの読出要求に該当するデータが消極的保存モードPを設定したプリフェッチデータの場合は、該当データの保存を他のキャッシュ装置に通知せず、

②他の全てのキャッシュ装置が該当データを保存していない場合は、プリフェ  
20 ッチデータを無効化し、更に、

③他のキャッシュ装置に該当データが共有されている場合は、プリフェッチデータをそのまま保存する。

第1及び第2ウィークリッドは、プリフェッチ要求の際に他のキャッシュ装置に対し読出要求を行った場合の操作であるが、マルチプロセッサシステムのキャッシュ装置では、逆に、キャッシュメモリに保存しているプリフェッチデータに  
25 対し、他のキャッシュ装置からの読出しによる状態変更が起こり得る。そこで、主記憶又は他のキャッシュ装置から読み出してきたプリフェッチデータについては、他のキャッシュ装置に優先度を持たせる消極的な保存であることを示す印として消極的保存モードPを設定し、他のキャッシュ装置の読出要求を認識しても、



データはもっていないことにし、プリフェッチデータの他のキャッシュ装置によるアクセスを禁止する。このため、実際に使われる可能性が低いが念のために保存しているプリフェッチデータについて、状態変更による無駄な共有状態への遷移を削減し、キャッシュ装置に読み出したデータ書込みの際のオーバーヘッドを

5 低減する。

この消極的な保存方法と弱い読出しとが重なった場合には、消極的な保存方法で保存されたデータを排他的Eであると見なさないことによって共存することが可能である。消極的な保存方法でデータを保存しているキャッシュ装置は、自分が排他状態Eであろうとそうでなかりと、データを持っていないことにして他のキャッシュ装置の状態通知を待つので、無駄な共有状態への遷移を回避できる。

10

キャッシュ装置が例えばMESIプロトコルを備えた場合、キャッシュコントローラは、他のキャッシュ装置からの読出要求に該当するデータが消極的保存モードPを設定したプリフェッチデータの場合、他のキャッシュ装置の全てが無効状態Iか、いずれかが変更状態M又は排他状態Eのとき、消極保存モードPで保存しているプリフェッチデータを無効状態Iに変更してデータを持っていないことにし、他のキャッシュ装置が共有状態Sのときは消極的保存モードPで保存しているプリフェッチデータを状態をそのまま維持する。

15

キャッシュメモリに保存した消極的保存モードPのプリフェッチデータ以外のデータについてはノーマル保存モードNを設定し、消極的保存モードPとノーマル保存モードNのデータ保存をキャッシュライン毎に使い分けて共存させる。

20

本発明のプリフェッチプロトコルは、通常のデータに対しては適用しにくい。即ち、通常のデータ読出要求は、実際にプロセッサがデータが必要になったために生じるものであり、データ読出しに失敗してデータが取得できないことは、そのままプロセッサの演算性能の低下につながるからである。したがって、本発明の第1ウィークリード、第2ウィークリード及び消極的保存モードPはプリフェッチなどの一種の投機的データ読出しに対してのみ適用する。即ち、通常の保存データはノーマル保存モードPの設定でキャッシュ装置に保存し、消極的な保存データであるプリフェッチデータは、消極的保存モードPの設定で保存し、キャッシュメモリ上で区別する。これによってキャッシュライン毎に保存方法を使い

25

分けたキャッシュ装置を構成できる。

キャッシュコントローラは、プロセッサの読出要求を受けた際に、読出要求に続いて読出要求アドレス  $ADR$  に隣接する 1 又は複数アドレス  $AD + n$  又は  $AD + n$  のプリフェッチ要求を実行する。プロセッサから読出要求に付随するプリフェッチ要求は、通常は、別々の命令サイクルで各キャッシュ装置に出される。しかし、本発明においては、通常の読出要求の中にプリフェッチ要求を埋め込む。例えば、隣接ブロックのプリフェッチを採用している場合、アドレス  $ADR$  に対する読出要求がキャッシュ装置に出されると、その要求はそのまま隣接ブロック  $ADR + 1$  の読出要求としても扱われる。このため、プロセッサは、プリフェッチのために別途のアドレス  $ADR + n$  の読出し要求を発生する必要なくプリフェッチデータを取得できる。

勿論、この時のプリフェッチの要求は第 1 ウィークリード、第 2 ウィークリード、消極的保存モードのいずれか又はその組合せを用いて行われる。即ち、異なるアドレスに対する異なるプロトコルの要求を、1 つのリクエストにまとめてしまうのである。このようにキャッシュ装置に対するリクエストをまとめてしまうことによって、余分なリクエストによるオーバーヘッドを削減する。

キャッシュ装置のキャッシュコントローラは、プロセッサの読出要求を受けた際に、読出要求に続いて読出要求アドレスに隣接する 1 又は複数アドレスのプリフェッチ要求を同時実行する。具体的には、キャッシュ装置及び主記憶を結合する共通結合網として、キャッシュコントローラが自己のプロセッサ又は他のキャッシュ装置から読出要求を受けた際に、該当するデータの保存状態を状態信号線に出力するスヌープバスを使用し、キャッシュコントローラで同時に実行される読出要求とプリフェッチ要求の各々に対応して読出要求専用の状態信号線と、プリフェッチ要求専用の状態信号線を設け、要求データのアドレスとプリフェッチ要求のアドレスに対する各キャッシュ装置の状態を同時に通知する。

マルチプロセッサシステムのキャッシュ装置でプリフェッチを行う際に問題となる事柄のひとつとして、他のキャッシュ装置の状態検出がある。通常の読出要求では、要求アドレスに対してのみキャッシュ装置の状態検出を行えば良い。しかし、プリフェッチを導入すると、要求アドレスだけでなく、プリフェッチ要求

アドレスについてもキャッシュ装置の状態検出が必要となる。そこで、共有バス上に、読出要求に対応した状態信号線と、プリフェッチ要求に対応した状態信号線を設け、状態検出結果を同時に通知し、リクエスト時のオーバーヘッドを削減する。

5     キャッシュ装置のキャッシュコントローラは、専用の状態信号線を用いた読出要求とプリフェッチ読出要求の同時要求に対する応答（リプライ）として、応答メッセージのヘッダに読出要求の応答データとプリフェッチ要求の応答データを識別する識別ビットを設け、識別ビットを有効とするデータをまとめて転送する。これによって、リプライ時のオーバーヘッドを削減する。

10    このように読出要求とプリフェッチ読出要求が同時に起きていることを利用して、両者にリプライをまとめる。この時、プリフェッチ読出要求には、弱いプリフェッチプロトコルを用いているため、読出しに失敗する可能性がある。プリフェッチに失敗した場合は、リプライのデータ部を切り詰めて要求元に送る。この時、識別ビットの有効状態をみることで、読出要求に対応したリプライか、プリフェ  
15    ッチ要求に対応したリプライか、両方に対応したリプライかが分かる。このように複数の要求に対するリプライをひとつにまとめると同時に、データの存在しない部分を切り詰めることによって、効率的なデータ転送を実現することができる。

20    また本発明は、複数のプロセッサ毎に設けられたキャッシュ装置を相互に共通結合網で結合されると共に主記憶と結合したキャッシュシステムの制御方法を提供  
20    する。

第1ウィークリードを行うキャッシュシステムの制御方法は、

- ①主記憶の一部のデータをキャッシュメモリ上でキャッシュライン単位に保存すると共に、データの一貫性管理に使用する状態タグをキャッシュライン毎に設定し、
- 25    ②プロセッサの読出要求に伴ってプリフェッチ要求が発生した際に、他のキャッシュ装置が保存しているデータを、その状態タグを変更しなければ読み出せない場合は、プリフェッチ要求を失敗させる弱い読出操作をフェッチプロトコルとして実行する。

また第2ウィークリードを行うキャッシュシステムの制御方法は、

①主記憶の一部のデータをキャッシュメモリ上でキャッシュライン単位に保存すると共に、データの一貫性管理に使用する状態タグをキャッシュライン毎に設定し、

5 ②プロセッサの読出要求に伴ってプリフェッチ要求が発生した際に、他のキャッシュ装置が保存しているデータを、その状態タグを変更しなければ読み出せない場合、状態タグを変更することなくデータを読み出して前記プロセッサに応答した後に弱い読出状態Wを設定してキャッシュメモリに保存し、

③ソフトウェアによりデータの一貫性をとるメモリコンシステンシの同期操作時に、前記弱い読出状態Wにあるキャッシュメモリのデータを全て無効化する。

10 更に、消極的保存モードPを採用したキャッシュシステムの制御方法は、

①主記憶の一部のデータをキャッシュメモリ上でキャッシュライン単位に保存すると共にデータの一貫性管理に使用する状態タグをキャッシュライン毎に設定したキャッシュメモリと、

15 ②プロセッサの読出要求に伴ってプリフェッチ要求が発生した際に、他のキャッシュ装置又は主記憶からプリフェッチしたデータに消極的保存モードPを設定してキャッシュメモリに保存し、

③他のキャッシュ装置からの読出要求に該当するデータが消極的保存モードPを設定したプリフェッチデータの場合、該当データの保存を他のキャッシュ装置に通知せず、

20 ④他の全てのキャッシュ装置が該当データを保存していない場合はプリフェッチデータを無効化し、他のキャッシュ装置に該当データが共有されている場合は、前記プリフェッチデータをそのまま保存する。

#### 【図面の簡単な説明】

25 図1はマルチプロセッサシステムを対象とした従来のキャッシュシステムのブロック図；

図2はキャッシュメモリの説明図；

図3は一貫性を保つために他のキャッシュ装置の状態変更を伴う読出要求の説明図；

## 11

- 図4は本発明のキャッシュ装置を用いたマルチプロセッサシステムのブロック図；  
図5は図4のキャッシュ装置を結合する共有バスをスヌープバスとした回路ブロック図；  
図6はMESIプロトコルの状態遷移図；  
5 図7は本発明のキャッシュ装置の機能ブロック図；  
図8は図7のキャッシュメモリにおけるキャッシュラインの説明図；  
図9は図7のタグビットと保存データの状態の対応説明図；  
図10は第1ウィークリードによるプリフェッチ処理のフローチャート；  
図11は第2ウィークリードで使用する弱い状態Wをもつタグビットの説明図；  
10 図12は第2ウィークリードによるプリフェッチ処理のフローチャート；  
図13は消極的保存モードPを設定するキャッシュラインの説明図；  
図14は消極的保存モードで保存しているデータに対するプリフェッチ処理のフローチャート；  
図15は読出要求とプリフェッチ要求による状態検出が同時にできるスヌープバスの回路ブロック図；  
15 図16は読出要求にプリフェッチ要求を埋め込んだリクエストフォーマットの説明図；  
図17は図16のリクエストフォーマットに対するリプライフォーマットの説明図；  
20 図18は図16のリクエストに対する図17のリプライの対応関係の説明図

## 【発明を実施するための最良の形態】

## (システム構成)

- 図4は、本発明のキャッシュ装置が適用されるマルチプロセッサシステムのブロック図である。マルチプロセッサシステムは、複数のプロセッサ12-1, 12-2, ... 12-nを有し、プロセッサ12-1~12-nごとに本発明の  
25 キャッシュ装置10-1, 10-2, ... 10-nを設け、キャッシュ装置10-1~10-nを通じて共通結合網としての共有バス14で接続されている。  
共有バス14に対してはメインメモリ18がメモリコントローラ16を介して接

## 12

続されており、メインメモリ18はシステム上に1つしか存在しない。

図5は、図4のマルチプロセッサシステムに設けたキャッシュ装置に対する共有バス14の詳細である。共有バス14にはキャッシュ装置10の状態を検査した結果を流すEX線20、HIT線22、HITM線24が状態信号線として設けられる。またアドレスバス26、データバス28、コマンドバス30が設けられる。このような共有バス14としてはスヌープバスを用いる。

キャッシュ装置10には、キャッシュコントローラ30とキャッシュメモリ32が設けられている。共有バス14のEX線20、HIT線22、HITM線24は、各キャッシュ装置のキャッシュコントローラ30で共有されており、メモリトランザクションからの特定のタイミングでアサートされるように規定されている。即ち、キャッシュコントローラ30から何らかのメモリトランザクションが発生すると共有バスにリクエストメッセージが送出され、外部のキャッシュ装置のキャッシュコントローラは、トランザクションの要求アドレスに対応するデータが自分のキャッシュメモリ32に存在するか否か、存在すればどうゆう状態かを調べ、調べた状態に応じてEX線20、HIT線22、HITM線24に乗せて通知する。ここで、本発明のキャッシュ装置のデータの一貫性を保持するためのプロトコルとしてはMESIプロトコルを採用している。

図6(A)は、本発明のキャッシュ装置に適用されるMESIプロトコルのリード要求に対する状態遷移であり、図6(B)は同じくMESIプロトコルのライト要求に対する状態遷移である。この状態遷移の記号は次の内容を表わす。

M: 変更 (Modified) であり、複数のキャッシュのうちの1つにのみ書き替えられたデータが保存されている。

E: 排他 (Exclusive) であり、複数のキャッシュの1つにのみ書き替えられていない有効データが保存されている。

S: 共有 (Shared) であり、複数のキャッシュ上に同じデータが保存されている。

I: 無効 (Invalid) であり、キャッシュ上のデータは無効である。

self: 自己のプロセッサからの要求を処理した場合である。

other: 他のキャッシュ装置からの要求を処理した場合である。

## 13

self-if-copy: リード要求に対し無効状態にあり、他のキャッシュから有効データをコピーする。

self-if-no-copy: リード要求に対し無効状態にあり、メインメモリから有効データをコピーする。

- 5    このようなMESIプロトコルに基づき、図5の共有バス14にあっては、キャッシュコントローラ30がメモリトランザクションの要求アドレスに対応するデータがキャッシュ上に存在して、その状態を調べたときに、無効状態EであればEX線20をアサートし、共有状態SであればHIT線22をアサートし、また変更状態MであればHITM線24をアサートする。これによって、各キャッシュ装置のキャッシュコントローラ30は、現時点で共有バス14に流れたメモリトランザクションに基づくリクエストメッセージに対応するデータが

- ①いずれかのキャッシュに排他状態Eで保存されているか  
②複数のキャッシュ装置上に共有状態Sで保存されているか  
③いずれかのキャッシュに変更状態Mで保存されているか  
15   ④キャッシュ上にデータが存在しない無効状態Iであるかを判断することができる。

- 図7は、図5のキャッシュ装置におけるキャッシュコントローラ30及びキャッシュメモリ32の機能を詳細に示したブロック図である。キャッシュ装置10は大きく分けてキャッシュコントローラ30とキャッシュメモリ32で構成される。キャッシュコントローラ30はキャッシュメモリ32の動作を司るもので、  
20    プロセッサ12からデータ要求を受け取ったり、共有バス14にリクエストメッセージを発行する。また常に共有バス14上のトラフィックを監視しており、他のキャッシュ装置からのリクエストメッセージがバス上に流れると、このリクエストメッセージに応じたキャッシュ動作を行う。

- 25    キャッシュコントローラ32は、キャッシュ制御管理部34、プロセッサインタフェース36、バスインタフェース38、リードプロトコル処理部40、プリフェッチプロトコル処理部42及びライトプロトコル処理部44が設けられる。リードプロトコル処理部40は、図6(A)のMESIリードプロトコルに従って、通常のリード動作に伴う一貫性管理のための処理を実行する。またライトプ

## 14

ロトコル処理部44は図6(B)のMES Iライトプロトコルに基づき、データ一貫性を保持するための処理を行う。

本発明で新たに設けたプリフェッチプロトコル処理部42は、第1ウィークプロトコルリード処理部45、第2ウィークプロトコルリード処理部46及び消極的読出モード処理部48で構成される。第1ウィークプロトコルリード処理部45は、プロセッサ12のメモリアクセス要求に伴ってプリフェッチ要求が発生した際に、他のキャッシュ装置に保存しているデータを、その状態を変更しなければ読み出せない場合は、プリフェッチ要求を失敗させる弱い読出動作を行う。

第2ウィークプロトコルリード処理部46は、プロセッサ12のメモリアクセス要求に伴ってプリフェッチ要求が発生した際に、他のキャッシュ装置が保存しているデータを、その状態を変更しなければ読み出せない場合、状態を変更することなく強制的に読み出して、ウィークプロトコルリードを示す弱い状態Wを設定してキャッシュメモリに保存する。この第2ウィークプロトコルリード処理部46は、プロセッサ12側のソフトウェアによるデータの一貫性をとるメモリコンシステンシモデルと組み合わされており、データの一貫性をとるために流す同期メッセージを受けた際に、弱い状態Wにあるキャッシュメモリ32のデータを全て無効化する。

消極的読出モード処理部48は、第1ウィークプロトコルリード処理部及び第2ウィークプロトコルリード処理部45、46が他のキャッシュ装置からデータをプリフェッチする際の弱い読出操作を実行するに対し、他のキャッシュ装置におけるメモリアクセス要求の該当アドレスにプリフェッチデータを保持していた場合の処理である。即ち、消極的読出モード処理部48は、キャッシュメモリ32にプリフェッチデータを格納する際に消極的保存モードを示すモードPを設定して保存しており、他のキャッシュ装置からの読出要求に該当するデータが消極的保存モードを設定したプリフェッチデータであった場合、このプリフェッチデータの保存を他のキャッシュ装置に通知せず、他のキャッシュ装置によるプリフェッチデータの利用を排除している。また消極的保存モードPで格納されたプリフェッチデータは、他のキャッシュ装置が全て無効状態Iか、データが排他状態E又は変更状態Mで保存された場合には、消極的保存モードPを設定したプリフ



## 15

ェッチデータの状態は無効状態 I とする。また、他のキャッシュ装置で該当するデータが共有状態 S になっている場合には、プリフェッチデータの状態は変更せずにそのまま保存する。

5       このようなキャッシュコントローラ 30 のプリフェッチプロトコル処理部 42 に設けられた第 1 ウィークプロトコルリード処理部 45、第 2 ウィークプロトコルリード処理部 46 及び消極的読出モード処理部 48 は、装置立ち上げ時のセットアップ処理等により

①第 1 ウィークプロトコルリード処理部 45 と消極的読出モード処理部 48

②第 2 ウィークプロトコルリード処理部 46 と消極的読出モード処理部 48

10       のいずれかの組合せが選択的に設定される。もちろん、キャッシュコントローラ 30 の機能として第 1、第 2 ウィークプロトコルリード処理部 45、46 のいずれか一方の機能と消極的読出モード処理部 48 の機能を固定的に設けるようにしてもよい。

15       キャッシュメモリ 32 は、メインメモリ 18 の一部のコピーを保存しておくための場所であり、キャッシュライン 50 はタグ 52、キー 54、キャッシュアレイ 56 で構成される。キャッシュアレイ 56 はデータを保存するための場所であり、メインメモリ 18 のコピーやプロセッサ 12 によって更新されたデータが保存されている。キャッシュアレイ 56 はブロック単位に管理されており、1 ブロックはプロセッサ 12 が処理するデータ単位の複数データから構成されている。

20       タグ 52 及びキー 54 はキャッシュアレイ 56 の各ブロックの状態を表わし、1 つ 1 つのキャッシュアレイ 56 に対応している。キャッシュメモリ 32 としては一般に、あるインデックス（何番目のエントリか）に対応するデータを複数持たせるセット・アソシエイティブ・キャッシュ（連想キャッシュ）が用いられるが、この実施例では説明を簡単にするため、1 つのインデックスに 1 つのアドレスが

25       対応するダイレクト・マップ・キャッシュを用いる。

キー 54 はキャッシュアレイ 56 のデータがどのアドレスのメモリのコピーかを表わしており、インデックスと合わせるとアドレスが一義的に定まるようになっている。ダイレクトマップキャッシュの場合にはインデックスとアドレスが 1 対 1 に対応していることから、キーは直接アドレスを表わすことになる。タグ 5

## 16

2はキャッシュアレイ56に格納したデータブロックの状態を表わし、図8に取り出して示すように、2ビットb1, b2で構成される。このタグ52の2ビットデータb1, b2により、図6(A)(B)のMESIプロトコルによる保存データの状態は図9のように表現される。

## 5 (第1ウィークプロトコルリード)

本発明のキャッシュ装置10におけるプリフェッチプロトコル処理の第1実施例として、図7のキャッシュコントローラ30に設けている第1ウィークプロトコルリード処理部45によるプリフェッチ処理を説明する。

図4のマルチプロセッサシステムにおいて、いま、プロセッサ12-1からメモリアクセスの要求が出た場合を考える。プロセッサ12-1からのメモリアクセスに伴うデータ要求は、キャッシュ装置10-1より共有バス14にリクエストメッセージとして流される。これに加えて本発明にあっては、キャッシュ装置10-1においてハードウェアによるプリフェッチを行っている。この実施例では説明を簡単にするため、プロセッサ12-1からのデータ要求アドレスADR  
10 に対し、アドレス(A DR+n)のデータをプリフェッチする。ここでnは任意のブロックサイズであり、隣接1または複数のブロックのプリフェッチを行うことになる。プロセッサ12-1からのデータ要求に付随してハードウェアにより発生したプリフェッチは、図6の第1ウィークプロトコルリード処理部45の処理により弱いリードプロトコルのリクエストメッセージとして共有バス14に送出される。即ちキャッシュコントローラ30は、プロセッサ12からのデータ要求アドレスADRによる通常リードについては、通常リードのリクエストメッセージを共有バス14に送出し、この通常リードのリクエストメッセージに対するリプライメッセージが終了した後に、要求アドレスADR+nをプリフェッチするための弱いプロトコルによるリードのためのリクエストメッセージが第1ウィークプロトコルリード処理部45により共有バス14に送出し、通常リードと弱いプロトコルリードのリクエストメッセージが区別して設けられている。  
20  
25

キャッシュコントローラ30から弱いプロトコルによるリードのためのリクエストメッセージが発行されると、通常のリードと同様に、他のキャッシュ装置がスヌープ動作を開始する。即ち、他のキャッシュ装置は弱いプロトコルによるリ

ードのリクエストメッセージで得られた要求アドレス $ADR+n$ を調べ、この要求アドレス $ADR+n$ に対応するデータが自分のキャッシュメモリの中に存在するか、また存在した場合にはその状態は何かを調べる。キャッシュメモリの中に該当するデータが存在し、排他状態Eの場合にはそのキャッシュコントローラは  
5 EX線20をアサートし、共有状態Sの場合にはHIT線22をアサートし、また変更状態MであればHITM線24をアサートし、無効状態Iであればいずれの状態制御線もアサートしない。

プリフェッチの要求元のキャッシュコントローラ30及びメインメモリ18のメモリコントローラ16は、共有バス（スヌープバス）14を監視し、他のキャッシュ装置の状態により次のように処理する。  
10

①EX線、HIT線及びHITM線のいずれもアサートされずに無効状態Iの場合は、プリフェッチ要求は成功したものと見て、メインメモリ18から要求元キャッシュ装置に要求アドレス $ADR+n$ から読み出したデータを転送する。要求元のキャッシュコントローラ30は、メインメモリ18から転送されたデータ  
15 をキャッシュアレイに排他状態Eとして保存する。

②要求元のキャッシュコントローラ30及びメインメモリ18のメモリコントローラ16は、HIT線のみがアサートされた共有状態Sの場合もプリフェッチ要求は成功したと見做し、メインメモリ18から要求アドレス $ADR+n$ のデータを読み出して転送し、要求元のキャッシュコントローラ30は転送データを共有状態Sとしてキャッシュアレイに保存する。  
20

③要求元のキャッシュコントローラ30及びメインメモリ18のメモリコントローラ16は、EX線がアサートされた排他状態EまたはHITM線がアサートされた変更状態Mの場合、即ち通常のリードプロトコルでは要求元のキャッシュ装置の状態を変更しなければならない場合については、プリフェッチ要求は失敗  
25 したものと見做し、処理を中断する。

図10は、図7の第1ウィークプロトコルリード処理部によるプリフェッチ処理のフローチャートである。プロセッサ18からのメモリ要求に付随してハードウェアによって要求アドレス $ADR+n$ のプリフェッチ要求が行われると、まずステップS1で自己のキャッシュメモリ32を検索し、ステップS2でキャッシュ

## 18

キャッシュ上に該当するデータが存在してヒットしたか否か判定する。ヒットすれば、ステップS9でプロセッサに読み出したデータを返し、一連の処理を終了する。ステップS2でキャッシュ上に該当するデータが存在せずにヒットしなかった場合には、ステップS3で共有バス14に弱いプロトコルによるリードのためのリクエストメッセージを流す。この弱いプロトコルによるリードのためのリクエストメッセージに対し、他のキャッシュ装置で要求アドレス $ADR+n$ のデータが保存されているかどうか、保存されていた場合にはその状態が調べられ、対応する状態制御線がアサートされる。

まずステップS4で、EX線のアサートによる排他状態EまたはHITM線のアサートによる変更状態Mか否かチェックする。排他状態Eまたは変更状態Mに対応した状態制御線のアサートであれば、ステップS5に進み、プリフェッチ要求のデータ読出しは失敗したものとして処理を終了する。ステップS4でEX線またはHITM線のアサートでなければ、ステップS6に進み、HITM線のアサートによる共有状態Sか否かチェックする。HITM線がアサートされていれば共有状態Sにあることから、ステップS7に進み、メインメモリ18から要求アドレス $ADR+n$ のデータを読出転送し、状態を共有状態Sにしてキャッシュアレイに保存する。またステップS6でHITM線がアサートされなければ無効状態Iであることから、ステップS8に進み、同じくメインメモリ18から要求アドレス $ADR+n$ のデータを読出転送し、キャッシュアレイに排他状態Eとして保存する。

このようにプリフェッチによって他のキャッシュ装置の状態を変更する必要がある場合、即ちプリフェッチ要求の該当データが他のキャッシュ装置に排他状態Eまたは変更状態Mで保存されている場合については、プリフェッチ要求を弱いプロトコルによるリード操作とすることで、プリフェッチ要求に対するデータ読出しを失敗したものとして見做して処理を中断させることで、排他状態Eまたは変更状態Mにある他のキャッシュ装置のデータをプロセッサがアクセスした際に、同じデータをプリフェッチデータとして保存しているキャッシュ装置の状態を共有状態Sとする操作を不要とし、排他状態Eまたは変更状態Mでデータを保持しているキャッシュ装置におけるプロセッサ書込時のオーバーヘッドを削減すること

ができる。

(第2ウィークプロトコルリード)

次に図7のキャッシュコントローラ30に設けた第2ウィークプロトコルリード処理部46によるプリフェッチ処理を説明する。この第2ウィークプロトコル  
5 リードと既に説明した第1ウィークプロトコルリードの相違は、図11に取り出して示すキャッシュライン50におけるタグ54の構造であり、キャッシュアレイ58のデータの状態を示す2ビットデータb1, b2に加え、第2ウィークプロトコルリードによってプリフェッチしたデータであることを示すウィーク状態Wを示すタグが付加されている。このため第2ウィークプロトコルリードにあっては、図6(A)のMESIプロトコルにウィーク状態Wを加えたMESIW  
10 プロトコルということができる。このウィーク状態Wはメモリトランザクションの順番を入れ替え、書込みの結果が反映されない状態のままでいるプリフェッチデータを表わす。

この第2ウィークプロトコルリードの処理にあつては、ソフトウェアによって  
15 メモリ間のデータの一貫性を保持するためのメモリコンシステンシモデルとしてウィークコンシステンシを採用する。ウィークコンシステンシとは、同期操作のためのsyncメッセージとsyncメッセージの間のメモリトランザクションの順序は任意であるというもので、プロセッサ間等での同期が必要な場合には必ずsyncメッセージを流さなくてはならないというコンシステンシモデルである。このようなウィークコンシステンシモデルとしては、例えば、平成9年5月  
20 「並列処理シンポジウム」SPP, 97」の城 和貴著「メモリコンシステンシモデルの諸定義と解説例」第157～158頁がある。

このウィークコンシステンシモデルを採用すると、プリフェッチによってキャッシュに書き込まれた結果が反映されないデータが他のキャッシュ装置に存在し  
25 ても構わない。しかしながら、syncメッセージが来たときには、あるキャッシュ装置に書き込まれた結果が他のキャッシュ装置に反映されない限り同期操作は終了しない。このようなウィークコンシステンシモデルを利用し、第2ウィークプロトコルリードにあっては、既に説明した第1ウィークプロトコルリードでは失敗となっていたプリフェッチ要求を読出成功により正常終了させる手法を採

用する。

まず図4のマルチプロセッサシステムにおいて、例えばプロセッサ12-1からキャッシュ装置10-1に対しメモリアクセスの要求が出たとする。プロセッサ12-1からのデータ要求は、図7のキャッシュコントローラ30に設けたリードプロトコル処理部40による通常のリードとしてデータ要求アドレスADR  
5 に対応したリクエストメッセージを共有バス14に流す。本発明のキャッシュ装置にあっては、ハードウェアによるプリフェッチを行うことから、データ要求アドレスADRに対し要求アドレス $ADR+n$ のデータをプリフェッチ要求として出す。このプリフェッチ要求は、図7のキャッシュコントローラ30に設けた第  
10 2ウィークプロトコルリード処理部による弱いプロトコルによるリードのリクエストメッセージとして共有バス14に流される。

キャッシュコントローラ30から第2ウィークプロトコルリードに従ったリクエストメッセージが発行されると、通常のリードと同様、他のキャッシュ装置がスヌープ動作を開始する。即ち、他のキャッシュ装置はプリフェッチ要求のアドレス $ADR+n$ を調べ、要求アドレスに対応するデータが自分のキャッシュアレイ  
15 の中に存在するか否かを選び、存在した場合には状態が何かを調べる。キャッシュアレイの中に存在し且つ排他状態Eの場合には、キャッシュコントローラはEX線をアサートし、共有状態Sの場合にはHIT線をアサートし、変更状態MであればHITM線をアサートし、更に無効状態Iであればいずれの状態信号線も  
20 アサートしない。これによってプリフェッチの要求アドレス $ADR+n$ のデータに関するデータの保存状態を他の全てのキャッシュ装置及びメモリコントローラ16に通知する。

要求元のキャッシュコントローラ30及びメインメモリ18のメモリコントローラ16は、共有バス（スヌープバス）14を監視し、EX線、HIT線及びHITM線のいずれもアサートされていない無効状態Iであれば、プリフェッチ要求は成功したものとしてメインメモリ18からデータを転送し、要求元のキャッシュ  
25 コントローラ30は転送データをキャッシュアレイに排他状態Eとして保存する。またHIT線のみがアサートされた共有状態Sであれば、これもプリフェッチ要求は成功したと見做し、メインメモリ18から要求アドレスのデータを転

## 21

送し、要求元のキャッシュコントローラ30は転送データを共有状態Sとしてキャッシュアレイに保存する。更に通常のリードでは、データ変更を必要とするEX線がアサートされている排他状態Eの場合にも、第2ウィークプロトコルリードではプリフェッチ要求は成功したものとしてメインメモリ18から要求アドレスのデータを転送し、この場合、要求元のキャッシュコントローラ30は転送データをウィーク状態Wとしてキャッシュアレイに保存する。更に要求元のキャッシュコントローラ30及びメインメモリ18のメモリコントローラ16は、HITM線がアサートされている変更状態Mの場合については、

- ①第2ウィークプロトコルリードに従って、プリフェッチ要求は成功したものとしてメインメモリ18からデータを転送し、ウィーク状態Wで保存する方法、
- ②通常のメモリトランザクションと同様、ライトバックによって読出しを成功させる方法、

- ③第1ウィークプロトコルリードと同様、プリフェッチ要求は失敗したものとなり、みなして処理を中断する方法、
- 15 のいずれかがある。

図12は、第2ウィークプロトコルリードによるプリフェッチ処理のフローチャートである。まずステップS1で、プロセッサ12からのメモリアクセスの要求に伴い要求アドレスADRからハードウェアでプリフェッチの要求アドレスADR+nによるプリフェッチ要求が行われると自己のキャッシュメモリ32を検索し、要求アドレスADR+nのデータがキャッシュアレイに存在するか否か検索する。ステップS2でキャッシュアレイに存在してヒットとなれば、ステップS9でプロセッサ12に読み出したデータを返し、処理を終了する。キャッシュアレイに要求アドのデータが存在しない場合には、ステップS3で第2ウィークプロトコルリードによるリクエストメッセージを共有バス14に流す。このリクエストメッセージに対し、他のキャッシュ装置で要求アドレスADR+nのデータの存在の有無及び存在した場合の状態が検査され、そのプラスの状態制御線がアサートされる。ステップS4でEX線がアサートされる排他状態EまたはHITM線がアサートされる変更状態Mの場合には、ステップS5に進み、メインメモリ18から要求アドレスADR+nのデータを読出転送し、キャッシュアレイ

## 22

にウィーク状態Wのビットを立ててキャッシュレイに保存する。ステップS4でEX線またはHITM線のいずれもアサートされていない場合には、ステップS6に進み、HIT線がアサートされているか否かチェックする。HIT線がアサートされて共有状態Sの場合には、ステップS7に進み、メインメモリ18からの要求アドレスADR+nの転送データをキャッシュレイに共有状態Sとして保存する。またステップS6でHIT線がアサートされていない無効状態Iの場合には、ステップS8に進み、同様にメインメモリ18から要求アドレスADR+nのデータを転送して排他状態Eでキャッシュレイに保存する。

このような第2ウィークプロトコルリードに従ったプリフェッチ処理を行って  
10 いる段階で同期メッセージがいずれかのプロセッサから発行されると、各キャッシュ装置のキャッシュコントローラは処理中の全てのトランザクションが終了するまでプロセッサからの新たなトランザクションの受付を抑止し、同時に共有バス14にsyncメッセージを流し、全てのキャッシュ装置のキャッシュコントローラに同期処理を通知する。syncメッセージを受け取ったキャッシュコン  
15 トローラ30は、自分のキャッシュメモリ32におけるキャッシュレイ56のタグ52を検査し、ウィーク状態Wのデータを検索する。この検索により見つかったウィーク状態Wのデータについて、全て無効状態Iに変更することで無効化する。プロセッサからの同期メッセージに基づく同期処理は、全てのキャッシュ装置におけるウィーク状態にあるデータの無効化終了で完了する。

20 この第2ウィークプロトコルリードによるプリフェッチ処理にあっても、プリフェッチ要求に伴って他のキャッシュ装置に排他状態Eまたは変更状態Mにあるデータをメインメモリからプリフェッチする際に、他のキャッシュ装置の状態変更を起こすことを防止でき、またメモリコンシステンシモデルによる同期操作で他のキャッシュ装置の状態変更を無視して強制的にプリフェッチしたデータを無  
25 効化することで、排他状態Eまたは変更状態Mのデータを保存しているキャッシュ装置でプロセッサの書き込みが生じたときのオーバーヘッドを、メモリコンシステンシモデルの同期操作を以てウィーク状態Wのプリフェッチデータの保存を無効化することで、改めて無効化する必要なく書込時のオーバーヘッドを削減することができる。



(消極的保存モード)

次に図7のキャッシュコントローラ30に設けている消極的読出モード処理部48によるプリフェッチデータのキャッシュ上における消極保存モードを説明する。この消極的保存モードは、キャッシュ上に保存されているプリフェッチデータと同じアドレスのデータについて、他のキャッシュ装置でデータ要求が行われた際にプリフェッチデータを無効化するプロトコルである。

図13は、消極的保存モードを適用するためのキャッシュライン50を取り出しており、新たに保存モード識別タグ60を設けている。この保存モード識別タグ60には、通常保存方法を示すNモード(Nomai Mode)か本発明の消極的な保存方法を示すPモード(Passive Mode)を示す符号が配置される。タグ54の2ビットデータb1, b2によるデータの状態は、図9のMESIのいずれかである。この場合、消極的な保存方法であるPモードで保存されている時には、変更状態Mとなることはない。即ち、図6(B)のMESIライトプロトコルの遷移状態のように、変更状態Mに遷移するのはPモードにおける排他状態Eまたは共有状態Sでプロセッサ12がデータ書込みによる更新を行った場合であり、この場合には共有バスに無効化メッセージを流して他のキャッシュ装置に保存されているデータを無効化してから変更状態Mに遷移するため、その時点でプリフェッチデータでなくなり、PモードからNモードとなる。したがって、Pモードのデータには変更状態Mはない。

一方、キャッシュアレイから読み出す際にPモードであったときのモード制御については、

- ①通常のリードを出してPモードのデータをNモードに変更して読み出す方法、
- ②Pモードのままプロセッサの読出要求を終了させる方法、
- ③Pモードのままプロセッサの読出要求を終了させた後に通常のリードを出してPモードのデータをNモードにする方法、

が考えられる。この実施例では、最も簡単な②のPモードのままプロセッサの読出要求を終了させる方法を採用する。

更にPモードで保存されているデータに対しては、共有バス上に他のキャッシ

## 24

キャッシュ装置から流されたリクエストメッセージに対しキャッシュの状態検査の結果を出力せず、Pモードの保存データが排他状態Eでも共有状態Sでも変わることはない。したがって、Pモードで保存されているデータの状態は無効状態Iか排他状態Eまたは共有状態Sのいずれかである。

- 5    このようにキャッシュメモリ32の各キャッシュラインごとに、通常のデータ読出しによるデータはNモードで保存し、プリフェッチによる読出データは消極的な保存方法であるPモードで保存することを、1つのキャッシュメモリ32上で行うことができる。

- 10   消極的な保存方法であるPモードでキャッシュメモリ上にデータが保存されている場合、他のキャッシュ装置におけるメモリアクセスの要求で共有バス上に通常のリードもしくは弱いプロトコルのリードによるリクエストメッセージが流れた場合、Pモードでデータを保存しているキャッシュコントローラ30は、図7の消極的読出モード処理部48の機能により次のような動作を行う。

- 15   まず共有バス14に流れたリクエストメッセージに基づく状態検査の結果を待つ。この場合、Pモードのデータを保持しているキャッシュコントローラ30は、キャッシュの状態に関わらずEX線、HIT線、HITM線のいずれもアサートせず、外部からは無効状態Iと見えるようにする。他のキャッシュ装置における状態検査の結果によりEX線、HIT線、HITM線のいずれもアサートされなかった場合、即ちPモードのデータを保存しているキャッシュコントローラ以外  
20   のキャッシュコントローラが無効状態Iの場合、Pモードでデータを保存しているキャッシュコントローラ30は自らのデータを無効化するため、Pモードのデータの状態を無効状態Iに変化させる。これによって、リード要求を発行した他のキャッシュコントローラは、排他状態Eでメインメモリ18から要求アドレスのデータを読み出して保存することができる。

- 25   またEX線またはHITM線がアサートさせ、他のキャッシュ装置のいずれかにデータが排他状態E又は変更状態Mで保存されている場合にも、Pモードでデータを保存しているキャッシュコントローラ30は、Pモードのデータの状態を無効状態Iに変化させる。一方、他のキャッシュコントローラの状態検査の結果、HIT線がアサートされた共有状態Sの場合には、Pモードでデータを保存して

## 25

いるキャッシュコントローラ30は自らのデータの状態は変更させる必要はない。

図14は他のキャッシュ装置からのリードによるリクエストメッセージが共有バスに流れたときのPモードで要求アドレスのデータを保存しているキャッシュ装置の動作のフローチャートである。ステップS1で共有バス14に他のキャッシュ装置のリードによるリクエストメッセージが流れると、リクエストメッセージの要求アドレスのデータを自分が消極的保存であるPモードのコピーとして保持するか否かステップS2でチェックしている。Pモードで要求アドレスのデータを保持していれば、ステップS3でHIT線がアサートされているか否かチェックし、アサートされていないければ、即ち他のキャッシュ装置の全てが無効状態I、いずれかが排他状態Eか変更状態Mの場合は、ステップS4でPモードデータの状態を無効状態Iに無効化する。ステップS3でHIT線がアサートされた共有状態Sの場合にはPモードの保存データの状態を変更する必要がないことから、ステップS4の無効化をスキップして処理を終了する。

このようにキャッシュ上にプリフェッチされたデータについては、消極的保存モードであるPモードとすることで、他のキャッシュ装置からの読出しによるプリフェッチによるデータの無駄な共有を極力回避し、共有状態にある特定データの書込時におけるオーバーヘッドを削減することができる。

(リクエスト及びリプライの統合)

図15は、通常のメモリ要求とプリフェッチ要求が重複した際に両者のリクエストとリプライをまとめて転送するためのキャッシュ装置及び共有バスの実施例である。図15の実施例の共有バス14にあっては、キャッシュ装置の状態を検査した結果を流す状態制御線がノーマル制御系62とプリフェッチ制御系64の2系統に分けて2本ずつ設けられている。即ち、ノーマル制御系62には図5の実施例と同様、EX線20、HIT線22及びHITM線24が設けられている。これに加え新たにプリフェッチ制御系64として、EX線66、HIT線68及びHITM線70を設けている。もちろん、これらノーマル制御系62及びプリフェッチ制御系64の状態制御線に加え、アドレスバス26、データバス28及びコマンドバス30が設けられる。

キャッシュ装置10のキャッシュコントローラは、通常読出しによるリプライ

## 26

メッセージを共有バス14から受けると、ノーマル制御系62の状態制御線に対し要求アドレスのデータの状態の検査結果を送出する。またプリフェッチ要求に対するリプライメッセージを受けると、要求アドレスのデータの状態をプリフェッチ制御系64の状態制御線に出力する。キャッシュ装置10におけるプリフェ  
5 ッチデータの保存は、図13のキャッシュラインに示したように、保存モード識別タグ60に消極的保存法を示すPモードをセットしたデータ保存を行う。

このようなノーマル制御系62とプリフェッチ制御系64の2系統の状態制御線を使用したキャッシュ装置10のキャッシュコントローラは、プロセッサからのデータ読出要求に対し通常の読出要求とプリフェッチ要求を1つのリクエスト  
10 メッセージにまとめる手法をとる。図5に示したキャッシュ装置10にあっては、プロセッサ12からデータ要求が出されたときに、通常のデータ要求に従ったリクエストメッセージと弱いプロトコルリードを用いたプリフェッチ用のデータ要求のためのリクエストメッセージを順次別々に共有バス14に送出していたが、  
図15の実施例では、プロセッサから通常のデータ要求を受けて共有バス14に  
15 データ要求のリクエストメッセージを流した際に、メインメモリ18のメモリコントローラ16及び他のキャッシュ装置において通常のデータ要求に加えプリフェッチのための弱いプロトコルによるデータ要求も含まれると解釈する機能を備える。即ち、要求元のキャッシュ装置から共有バス14に流されたリクエストメッセージの要求アドレスADRについて、他のキャッシュ装置及びメインメモリ  
20 のメモリコントローラ16は弱いプロトコルによる要求アドレス $ADR + n$ のプリフェッチ要求を兼ねていると解釈する。これによって、要求元のキャッシュ装置から通常のリード要求のリクエストメッセージと付随するプリフェッチのための弱いプロトコルリードによるリクエストメッセージを個別に共有バス14に出す必要がなく、余分なリクエストのオーバーヘッドを削減することができる。

25 ここで、通常のデータ要求に伴うプリフェッチすべきデータが自分のキャッシュメモリにある場合には、弱いプロトコルによるプリフェッチのためのデータ要求を共有バスに出す必要がない。そこで、図16のリクエストフォーマット72をもつリクエストメッセージを送出する。

図16のリクエストフォーマット72は、要求元ID74、コマンド76に続

## 27

き、通常データ有効ビット78とプリフェッチデータ有効ビット80を設け、その後アドレス82を配置している。このため、通常データ有効ビット78のビットDまたはプリフェッチデータ有効ビットのビットBを制御することで、図18のリクエスト側に示すように、通常+プリフェッチのデータ要求を行うリクエストメッセージ、通常データだけを要求するためのリクエストメッセージ、更にはプリフェッチデータのみを要求するためのリクエストメッセージのいずれかを選択的に発行することができる。

このような通常データ及びまたはプリフェッチデータの要求がまとめてできるリクエストメッセージに伴い、図15の共有バス14に設けたノーマル制御系62とプリフェッチ制御系64の状態信号線が設けられることで、1つのリクエストメッセージで行われた通常データの要求とプリフェッチデータの要求に対し、キャッシュ装置は通常データに対する状態検査の結果とプリフェッチデータに対する状態検査の結果を同時に他のキャッシュ装置に通知することができる。

更に、この実施例では、通常データとプリフェッチデータの同時要求のリクエストメッセージに対しては、図17に示すように両方同時にデータを返すリプライフォーマット84を採用している。リプライフォーマット84は、ヘッダ部86とデータ部88で構成される。ヘッダ部86には要求元ID90、コマンド92、通常データ有効ビット95、プリフェッチデータ有効ビット96及びアドレス98が設けられる。このヘッダ部86の後ろには、通常データ有効ビット95のDビットが有効であれば通常データの要求に応じて読み出されたデータDataが付加される。このデータData0の後ろには、プリフェッチデータ有効ビット96のビットBが有効であれば予め定めたnブロック分のプリフェッチ用のデータData1～nが並べられる。このリプライフォーマット84のリクエストフォーマット72との関係は、図18に示すように、リクエストメッセージが「通常+プリフェッチ」の場合にはリプライメッセージは「通常+プリフェッチ」か「通常」のみとなり、リクエストメッセージが「通常」のみであればリプライメッセージも「通常」のみとなり、更にリクエストメッセージが「プリフェッチ」のみであればリプライメッセージも「プリフェッチ」のみとなる。

このように、通常データとプリフェッチデータのリクエスト及びリプライにつ

## 28

いて1つにまとめ、且つキャッシュ装置における通常データとプリフェッチデータの状態検査結果を知らせるスヌープバスの状態信号線を2系統設けたことで、通常のメモリ要求とプリフェッチ要求が重なっても両者をまとめて転送することができ、データ転送の増加によるオーバーヘッドを可能な限り小さくすることができる。  
5

尚、上記の実施形態は、マルチプロセッサのキャッシュ装置を結合する共有バスとしてスヌープバスを例にとるものであったが、同等の機能を有する総合結合網としての適宜の共有バスが適用できる。また上記の実施形態は、MESIプロトコルによるデータの一貫性管理を例にとるものであったが、これ以外にもキャッシュコヒーレンスプロトコルであってもよいことはもちろんである。更にまた  
10 本発明は、その目的と利点を損なわない範囲の適宜の変形を含み、加えて実施例に示した数値による限定は受けない。

**【産業上の利用可能性】**

15 以上説明したように、本発明のキャッシュ装置によれば、弱い読出操作をマルチプロセッサシステムのプリフェッチに利用することで、通常データとの無駄な共有をなるべく避け、キャッシュ装置に対する書込みのオーバーヘッドを小さくすることができる。

また通常の読出要求のリクエストに付随するプリフェッチ要求を埋め込み、また  
20 つり通常読出とプリフェッチのリプライを一体化することで、プリフェッチが増加することによるデータ転送のオーバーヘッドを最小限に抑えることができる。

## 29

## 請求の範囲

1. 複数のプロセッサ毎に設けられ、相互に共通結合網で結合されると共に主記憶と結合されたキャッシュ装置に於いて、

- 主記憶の一部のデータをキャッシュライン単位に保存すると共にデータの一貫性管理に使用する状態タグをキャッシュライン毎に設定したキャッシュメモリと、
- 5 プロセッサの読出要求に伴ってプリフェッチ要求が発生した際に、他のキャッシュ装置が保存しているデータを、その状態タグを変更しなければ読み出せない場合は、前記プリフェッチ要求を失敗させる弱い読出操作をフェッチプロトコルとして実行するキャッシュコントローラと、
- 10 を備えたことを特徴とするキャッシュ装置。

2. 請求の範囲1のキャッシュ装置に於いて、

前記キャッシュメモリは、保存データの状態タグとして有効を示す変更状態M、排他状態E及び共有状態Sと無効状態Iの4状態で区別し、

- 15 前記キャッシュコントローラは、他のキャッシュ装置に保存しているプリフェッチ要求に該当するデータが変更状態M又は排他状態Eのとき、前記プリフェッチ要求を失敗させることを特徴とするキャッシュ装置。

3. 請求の範囲1のキャッシュ装置に於いて、前記キャッシュコントローラは、

- 20 他のキャッシュ装置に保存しているプリフェッチ要求に該当するデータが、無効状態Iのときは、前記主記憶から読み出して排他状態Eでキャッシュメモリに保存し、共有状態Sのときは、他のキャッシュ装置から読み出して共有状態Sでキャッシュメモリに保存することを特徴とするキャッシュ装置。

- 25 4. 複数のプロセッサ毎に設けられ、相互に共通結合網で結合されると共に主記憶と結合されたキャッシュ装置に於いて、

主記憶の一部のデータをキャッシュライン単位に保存すると共にデータの一貫性管理に使用する状態タグをキャッシュライン毎に設定したキャッシュメモリと、

プロセッサの読出要求に伴ってプリフェッチ要求が発生した際に、他のキャッ

## 30

シュ装置が保存しているデータを、その状態タグを変更しなければ読み出せない場合、状態タグを変更することなくデータを読み出して弱い状態Wを設定してキャッシュメモリに保存し、ソフトウェアによりデータの一貫性をとるメモリコンシステンシの同期操作時に、前記弱い読出状態Wにあるキャッシュメモリのデータを全て無効化するプリフェッチプロトコルを実行するキャッシュコントローラと、

5                   を備えたことを特徴とするキャッシュ装置。

5. 請求の範囲3のキャッシュ装置に於いて、
- 10   前記キャッシュメモリは、保存データの状態タグとして有効を示す変更状態M、排他状態E及び共有状態Sと無効状態Iの4状態で区別し、
- 前記キャッシュコントローラは、他のキャッシュ装置に保存しているプリフェッチ要求に該当するデータが変更状態M又は排他状態Eのとき、状態タグを変更することなくデータを読み出して弱い読出状態Wを設定してキャッシュメモリに
- 15   保存し、メモリコンシステンシの同期操作時に、弱い読出状態Wを全て無効状態Iに変更することを特徴とするキャッシュ装置。

6. 請求の範囲5のキャッシュ装置に於いて、前記キャッシュコントローラは、他のキャッシュ装置に保存しているプリフェッチ要求に該当するデータが、無効
- 20   状態Iのときは、前記主記憶から読み出して排他状態Eでキャッシュメモリに保存し、共有状態Sのときは、他のキャッシュ装置から読み出して共有状態Sでキャッシュメモリに保存することを特徴とするキャッシュ装置。

7. 複数のプロセッサ毎に設けられ、相互に共通結合網で結合されると共に主記憶と結合されたキャッシュ装置に於いて、
- 25   主記憶の一部のデータをキャッシュライン単位に保存すると共にデータの一貫性管理に使用する状態タグをキャッシュライン毎に設定したキャッシュメモリと、
- プロセッサの読出要求に伴ってプリフェッチ要求が発生した際に、他のキャッシュ装置又は主記憶からプリフェッチしたデータに消極的保存モードPを設定し



## 31

- て前記キャッシュメモリに保存し、他のキャッシュ装置からの読出要求に該当するデータが前記消極的保存モードPを設定したプリフェッチデータの場合、該当データの保存を他のキャッシュ装置に通知せず、他の全てのキャッシュ装置が該当データを保存していない場合は前記プリフェッチデータを無効化し、他のキャッシュ装置に該当データが共有されている場合は、前記プリフェッチデータをそのまま保存するプリフェッチプロトコルを実行するキャッシュコントローラと、を備えたことを特徴とするキャッシュ装置。
- 5
8. 請求の範囲7のキャッシュ装置に於いて、
- 10 前記キャッシュメモリは、キャッシュラインの状態タグとして、有効を示す変更状態M、排他状態E及び共有状態Sと無効状態Iの4状態で区別し、
- 前記キャッシュコントローラは、他のキャッシュ装置からの読出要求に該当するデータが前記消極的保存モードPを設定したプリフェッチデータの場合、他のキャッシュ装置の全てが無効状態Iか、いずれかが変更状態M又は排他状態Eの
- 15 とき、消極保存Pモードで保存しているプリフェッチデータを無効状態Iに変更し、他のキャッシュ装置が共有状態Sのとき消極的保存Pモードで保存しているプリフェッチデータを状態をそのまま維持することを特徴とするキャッシュ装置。
9. 請求の範囲7のキャッシュ装置に於いて、前記キャッシュメモリに保存した
- 20 消極的保存モードPのプリフェッチデータ以外のデータについてはノーマル保存モードNを設定し、消極的保存モードPとノーマル保存モードNのデータ保存をキャッシュライン毎に使い分けて共存させることを特徴とするキャッシュ装置。
10. 請求の範囲1乃至9のキャッシュ装置に於いて、前記キャッシュコントローラは、前記プロセッサの読出要求を受けた際に、前記読出要求に続いて読出要求アドレスに隣接する1又は複数アドレスのプリフェッチ要求を実行することを特徴とするキャッシュ装置。
- 25
11. 請求の範囲1乃至9のキャッシュ装置に於いて、前記キャッシュコントロ

## 32

ーラは、前記プロセッサの読出要求を受けた際に、前記読出要求に続いて読出要求アドレスに隣接する1又は複数アドレスのプリフェッチ要求を同時実行することを特徴とするキャッシュ装置。

- 5 12. 請求の範囲11のキャッシュ装置に於いて、前記共通結合網は、前記キャッシュコントローラが自己のプロセッサ又は他のキャッシュ装置から読出要求を受けた際に、該当するデータの保存状態を状態信号線に出力するスヌープバスであり、前記キャッシュコントローラで同時に実行される読出要求とプリフェッチ要求の各々に対応して読出要求専用の状態信号線と、プリフェッチ要求専用の状態信号線を設け、要求データのアドレスとプリフェッチ要求のアドレスに対する  
10 各キャッシュ装置の状態を同時に通知することを特徴とするキャッシュ装置。

13. 請求の範囲11のキャッシュ装置に於いて、前記読出要求とプリフェッチ要求の同時要求に対する応答として、応答ヘッダに前記読出要求の応答データと  
15 プリフェッチ要求の応答データを識別する識別ビットを設け、識別ビットを有効とするデータをまとめて転送することを特徴とするキャッシュ装置。

14. 複数のプロセッサ毎に設けられたキャッシュ装置を相互に共通結合網で結合されると共に主記憶と結合したキャッシュシステムの制御方法に於いて、  
20 主記憶の一部のデータをキャッシュメモリ上でキャッシュライン単位に保存すると共に、データの一貫性管理に使用する状態タグをキャッシュライン毎に設定し、

- プロセッサの読出要求に伴ってプリフェッチ要求が発生した際に、他のキャッシュ装置が保存しているデータを、その状態タグを変更しなければ読み出せない  
25 場合は、前記プリフェッチ要求を失敗させる弱い読出操作をフェッチプロトコルとして実行することを特徴とするキャッシュシステムの制御方法。

15. 複数のプロセッサ毎に設けられたキャッシュ装置を相互に共通結合網で結合されると共に主記憶と結合されたキャッシュシステムの制御方法に於いて、

## 33

主記憶の一部のデータをキャッシュメモリ上でキャッシュライン単位に保存すると共に、データの一貫性管理に使用する状態タグをキャッシュライン毎に設定し、

- 5     プロセッサの読出要求に伴ってプリフェッチ要求が発生した際に、他のキャッシュ装置が保存しているデータを、その状態タグを変更しなければ読み出せない場合、状態タグを変更することなくデータを読み出して前記プロセッサに応答した後、弱い読出状態Wを設定してキャッシュメモリに保存し、

- 10     ソフトウェアによりデータの一貫性をとるメモリコンシステンシの同期操作時に、前記弱い読出状態Wにあるキャッシュメモリのデータを全て無効化することを特徴とするキャッシュシステムの制御方法。

16. 複数のプロセッサ毎に設けられたキャッシュ装置を相互に共通結合網で結合されると共に主記憶と結合されたキャッシュシステムの制御方法に於いて、

- 15     主記憶の一部のデータをキャッシュメモリ上でキャッシュライン単位に保存すると共にデータの一貫性管理に使用する状態タグをキャッシュライン毎に設定したキャッシュメモリと、

プロセッサの読出要求に伴ってプリフェッチ要求が発生した際に、他のキャッシュ装置又は主記憶からプリフェッチしたデータに消極的保存モードPを設定して前記キャッシュメモリに保存し、

- 20     他のキャッシュ装置からの読出要求に該当するデータが前記消極的保存モードPを設定したプリフェッチデータの場合、該当データの保存を他のキャッシュ装置に通知せず、

- 25     他の全てのキャッシュ装置が該当データを保存していない場合は前記プリフェッチデータを無効化し、他のキャッシュ装置に該当データが共有されている場合は前記プリフェッチデータをそのまま保存することを特徴とするキャッシュシステムの制御方法。

**THIS PAGE BLANK (USPTO)**

**THIS PAGE BLANK (USPTO)**

1 / 1 2

图 1

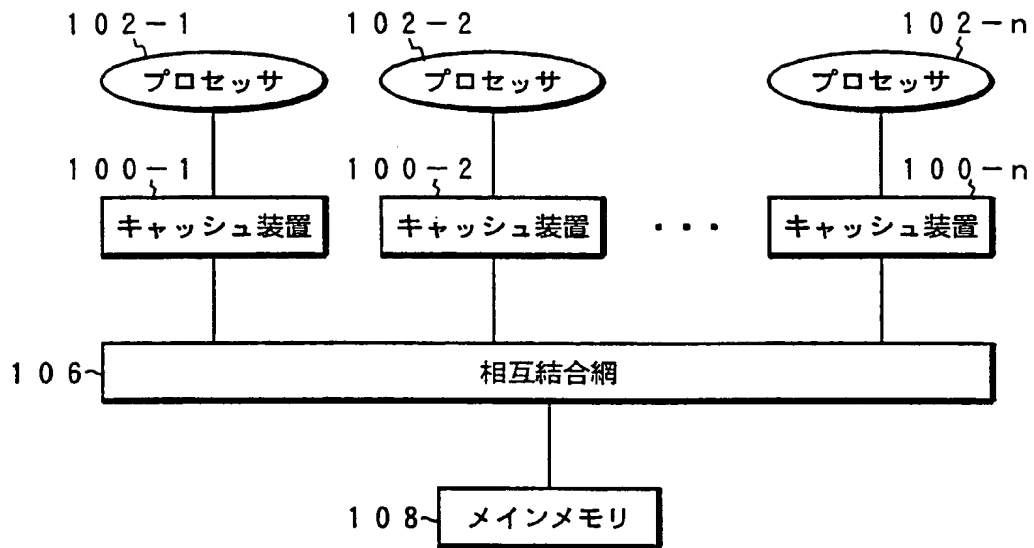
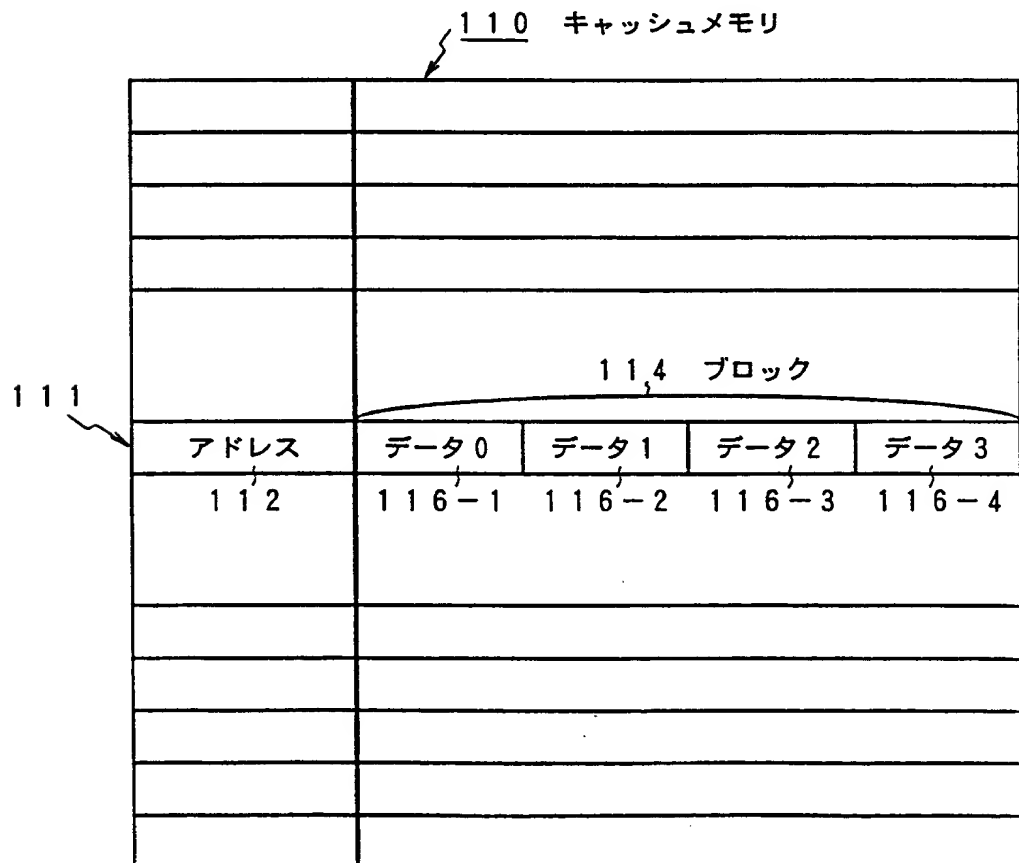


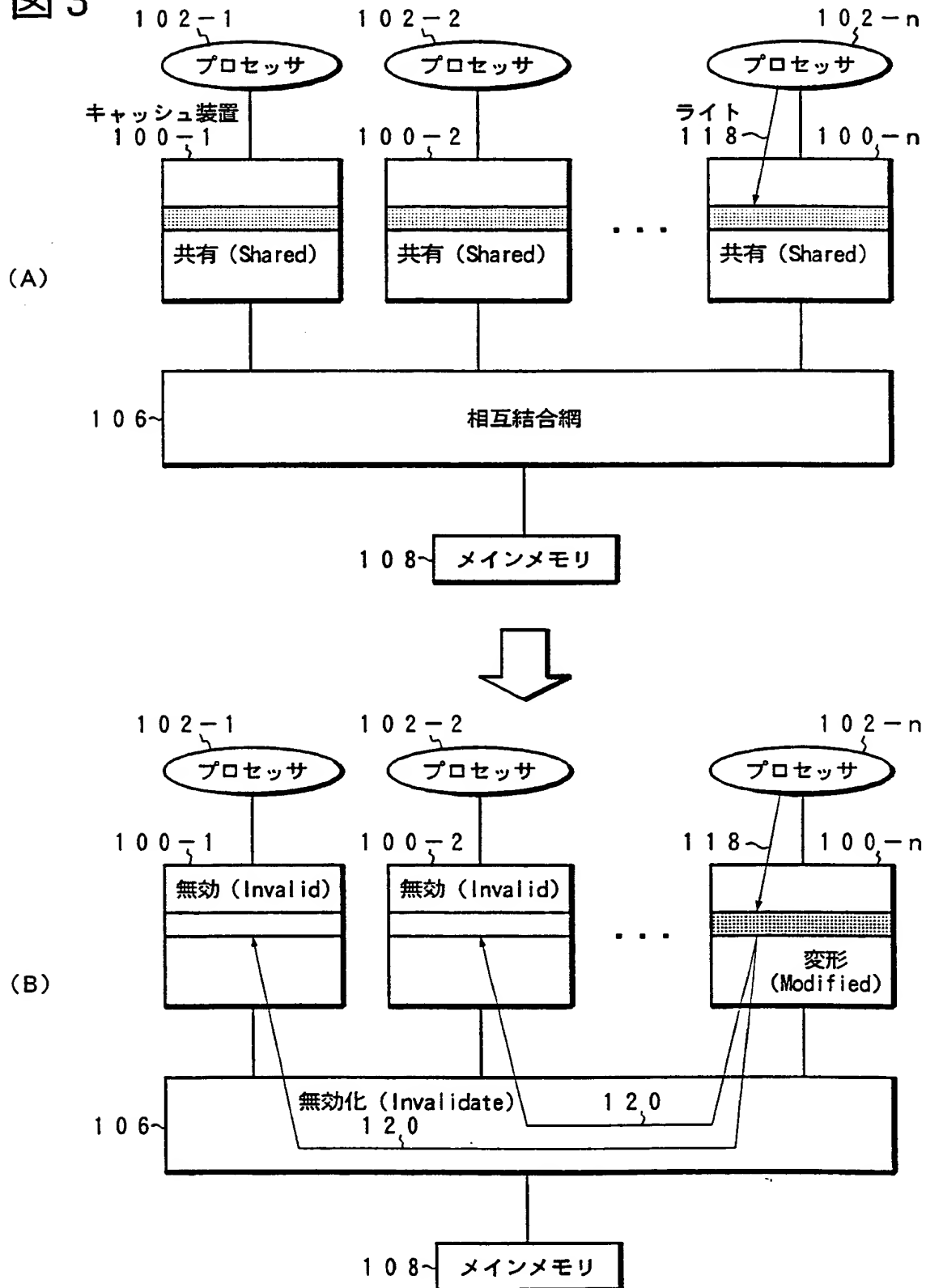
图 2



**THIS PAGE BLANK (USPTO)**

2/12

図 3



**THIS PAGE BLANK (USPTO)**



3/12

図 4

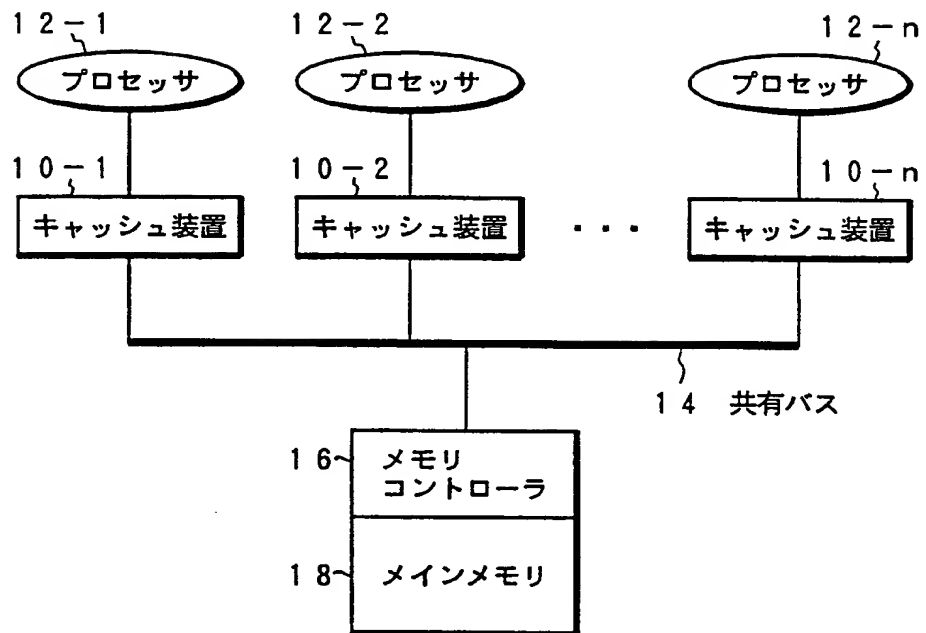
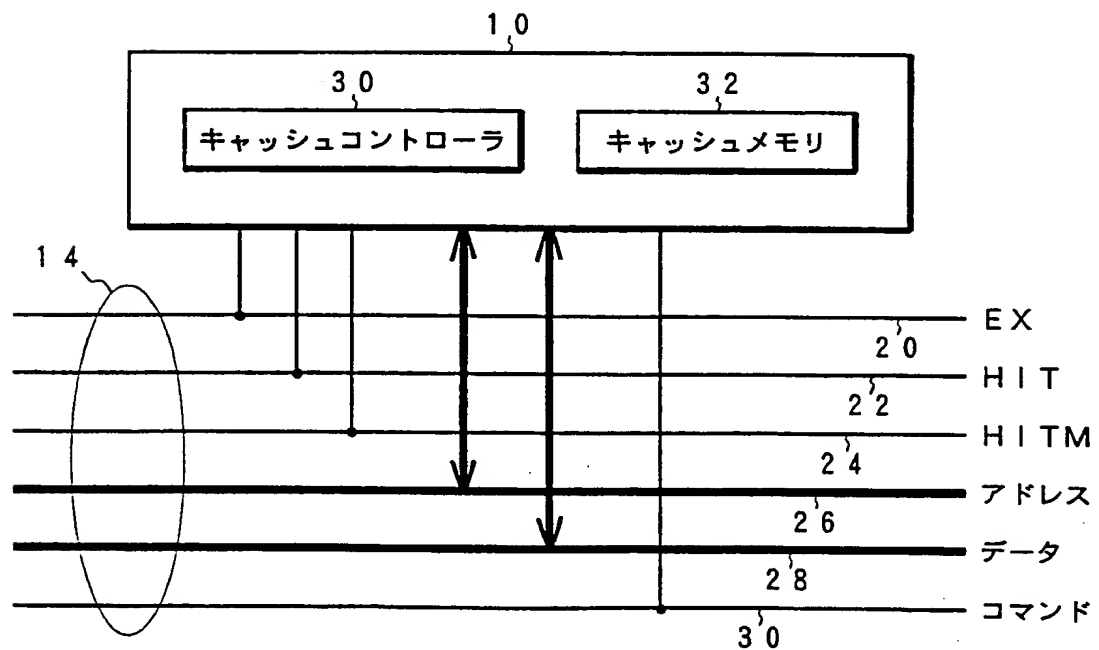


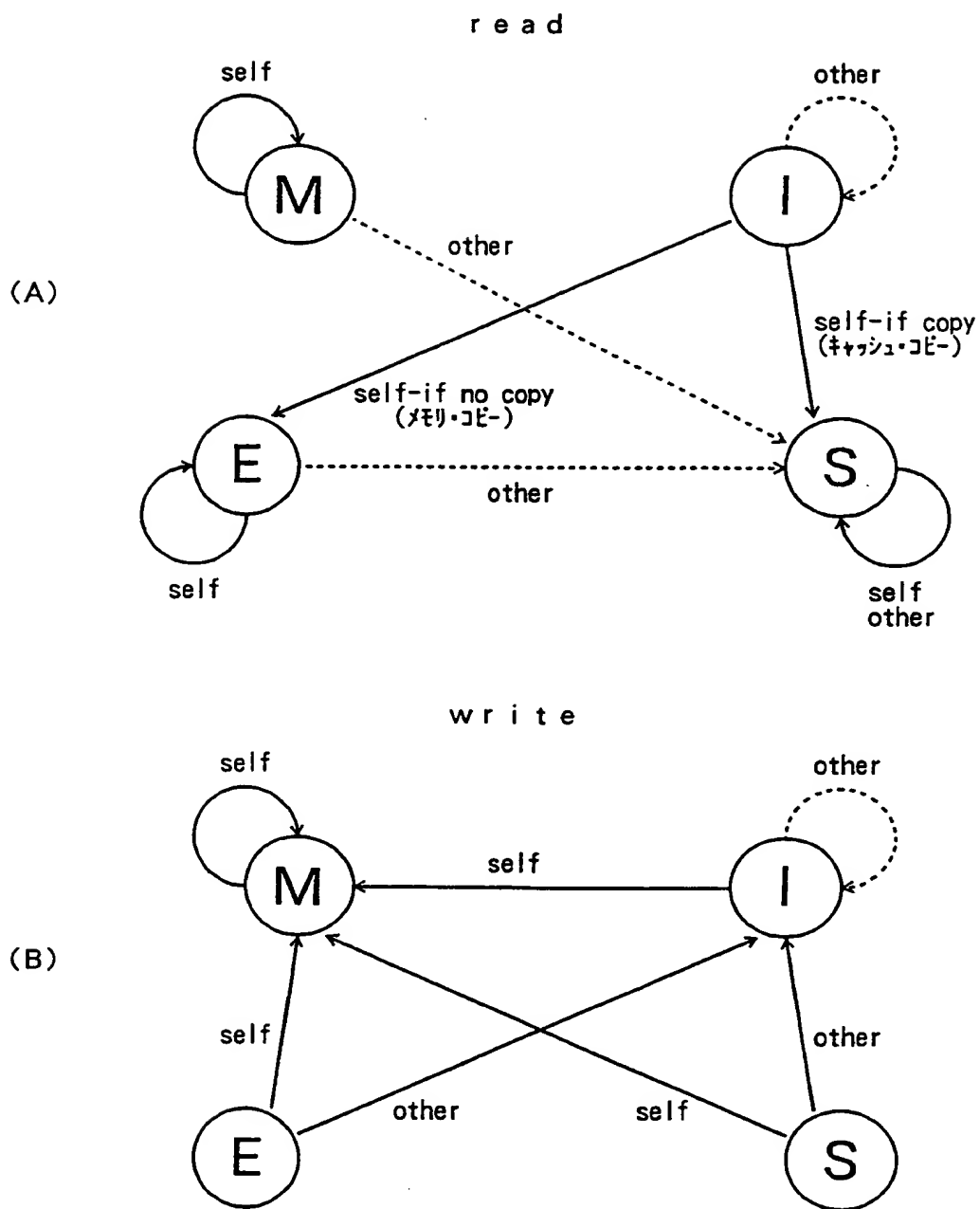
図 5



**THIS PAGE BLANK (USPTO)**

4/12

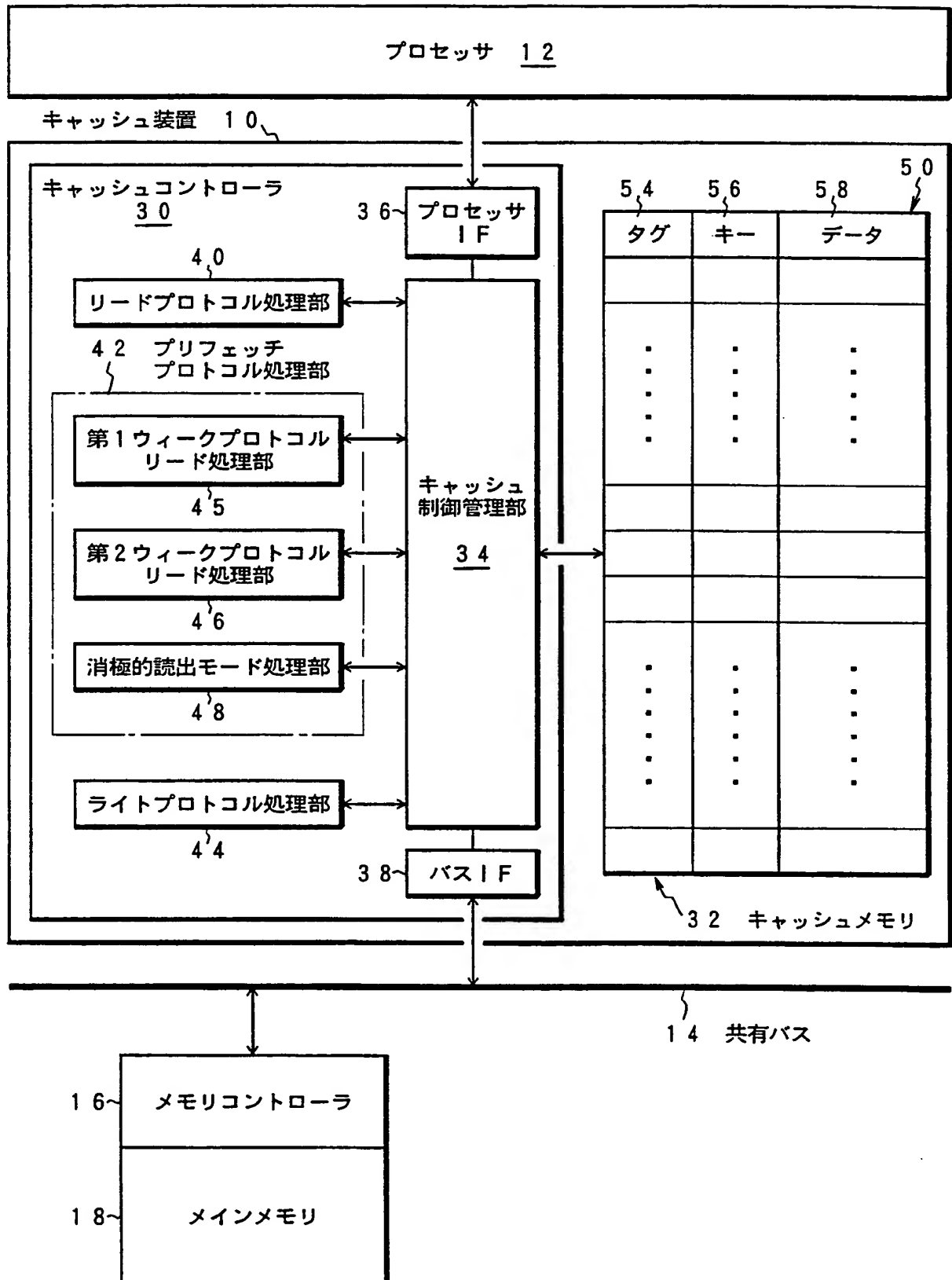
図 6



**THIS PAGE BLANK (USPTO)**

5 / 1 2

图 7



**THIS PAGE BLANK (USPTO)**

6/12

図 8

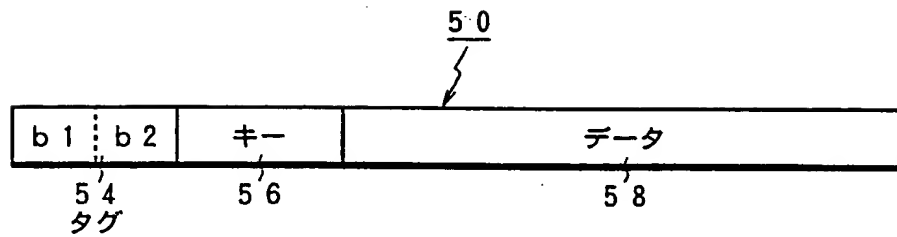


図 9

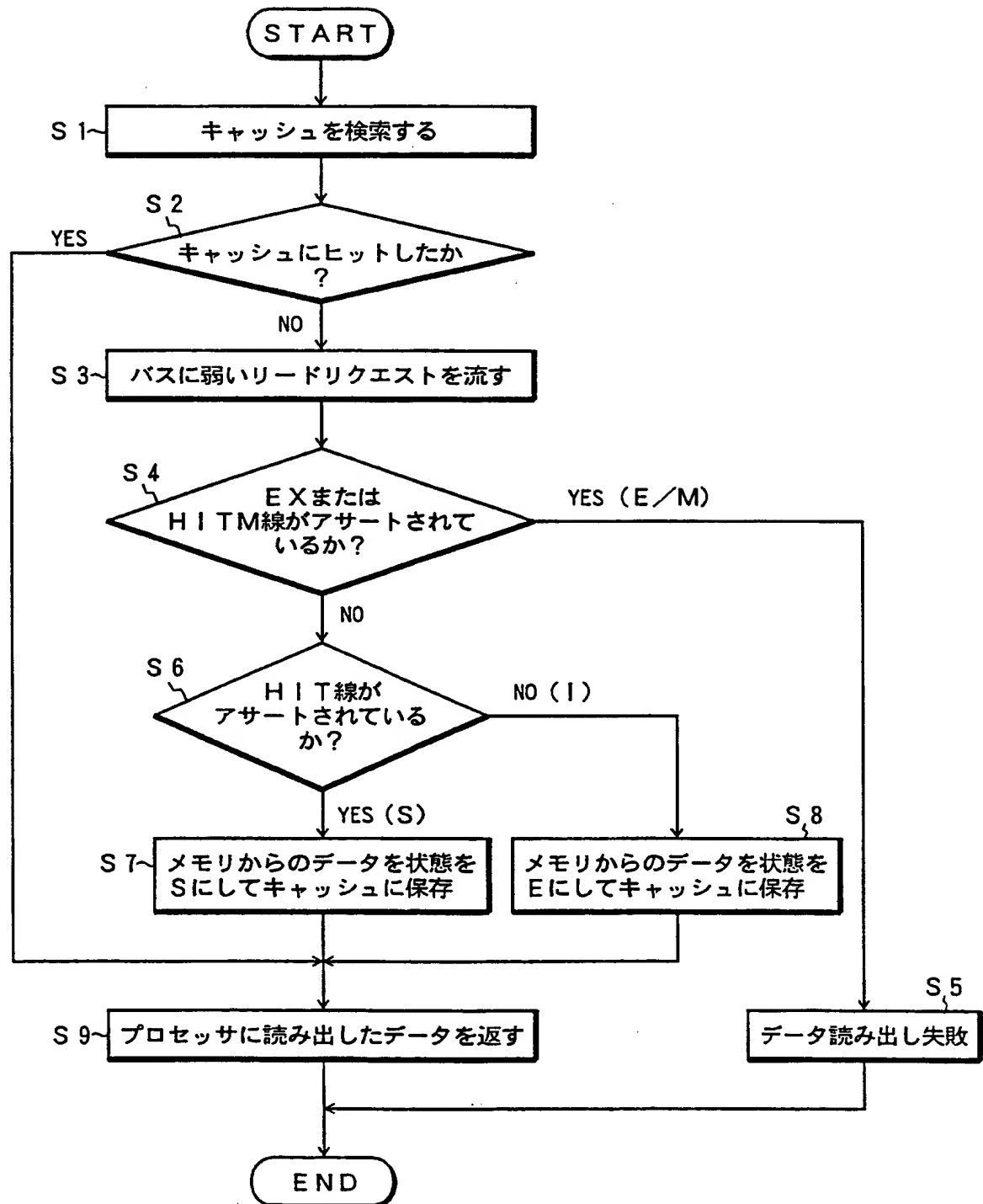
タグ		状 態
b 1	b 2	
0	0	変形M (Modified)
0	1	排他E (Exclusive)
1	0	共有S (Shared)
1	1	無効I (Invalid)

**THIS PAGE BLANK (USPTO)**



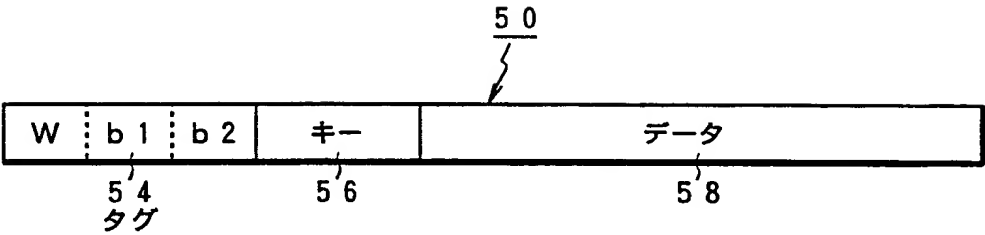
7/12

図 10



**THIS PAGE BLANK (USPTO)**

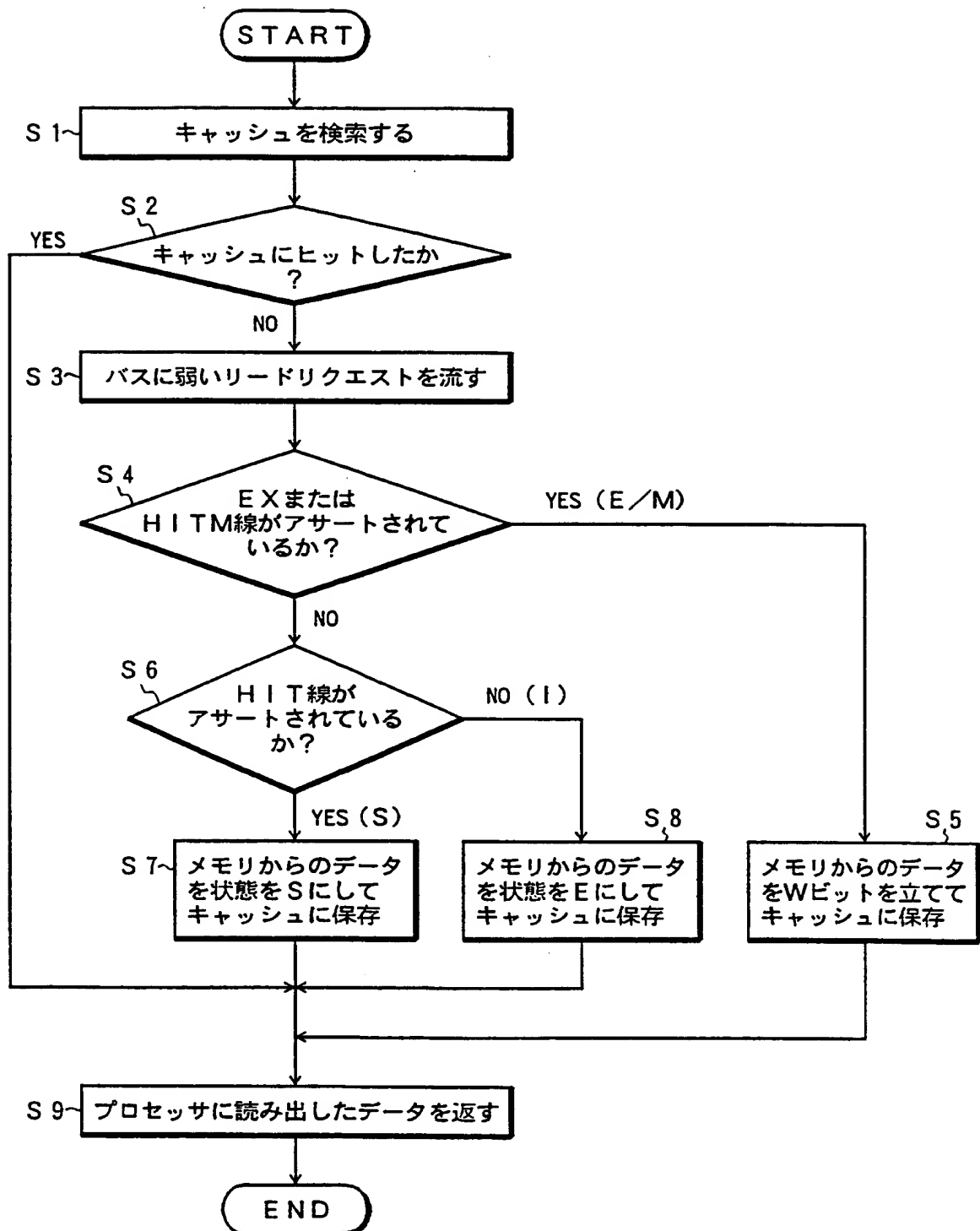
図 1 1



**THIS PAGE BLANK (USPTO)**

9/12

図 1 2



**THIS PAGE BLANK (USPTO)**

10/12

図 1 3

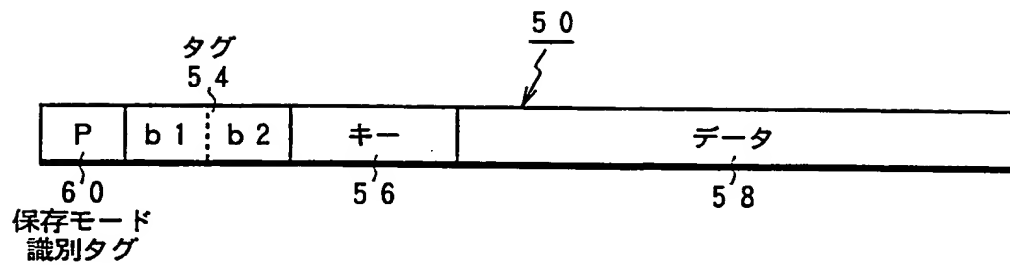
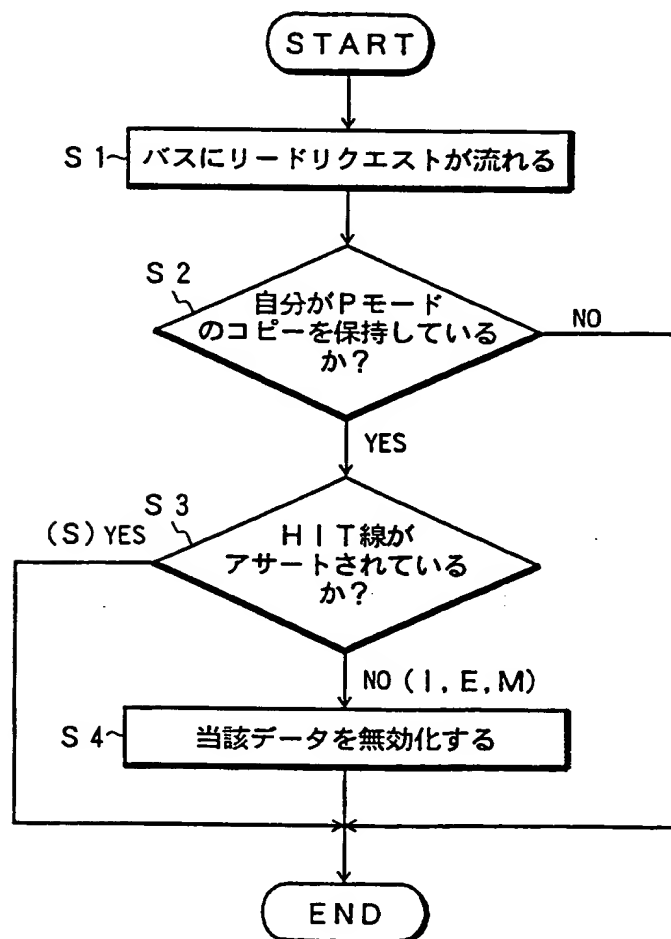


図 1 4



**THIS PAGE BLANK (USPTO)**



11/12

図 1 5

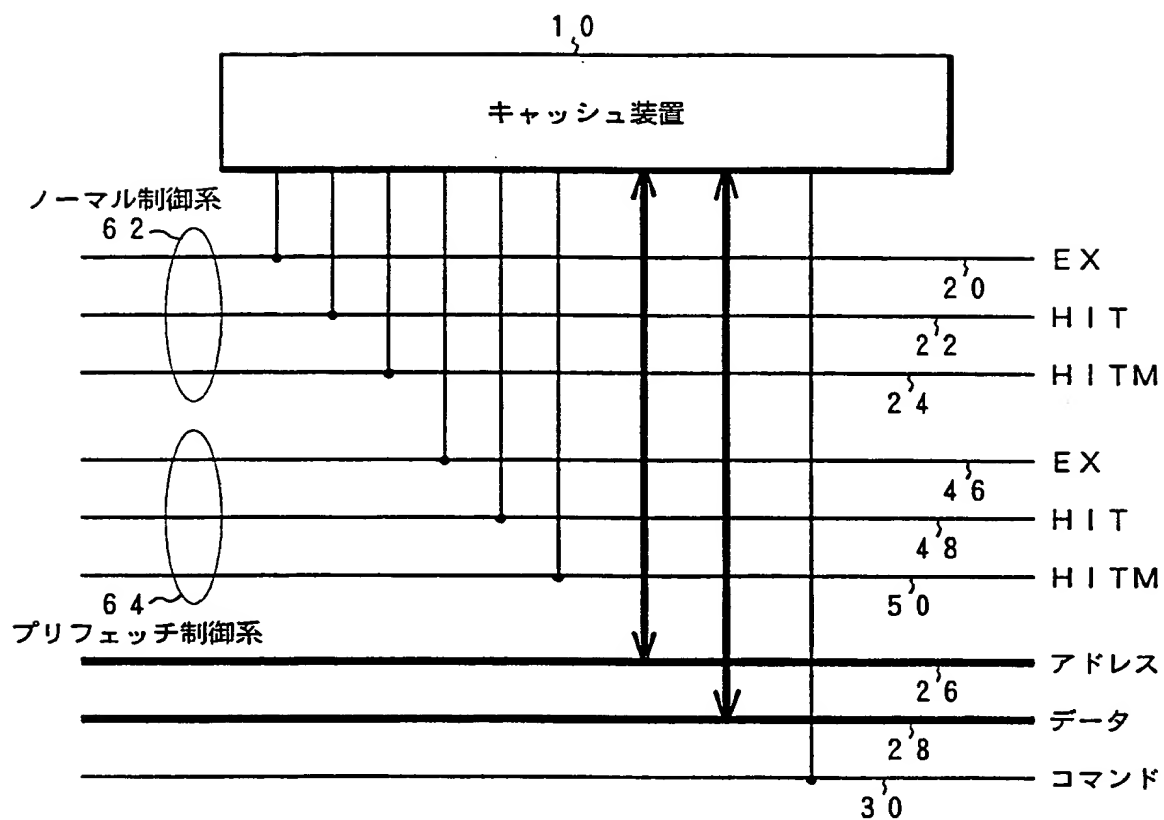
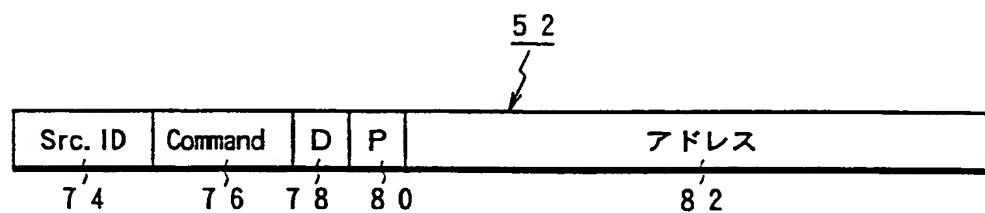


図 1 6



**THIS PAGE BLANK (USPTO)**

図 1 7

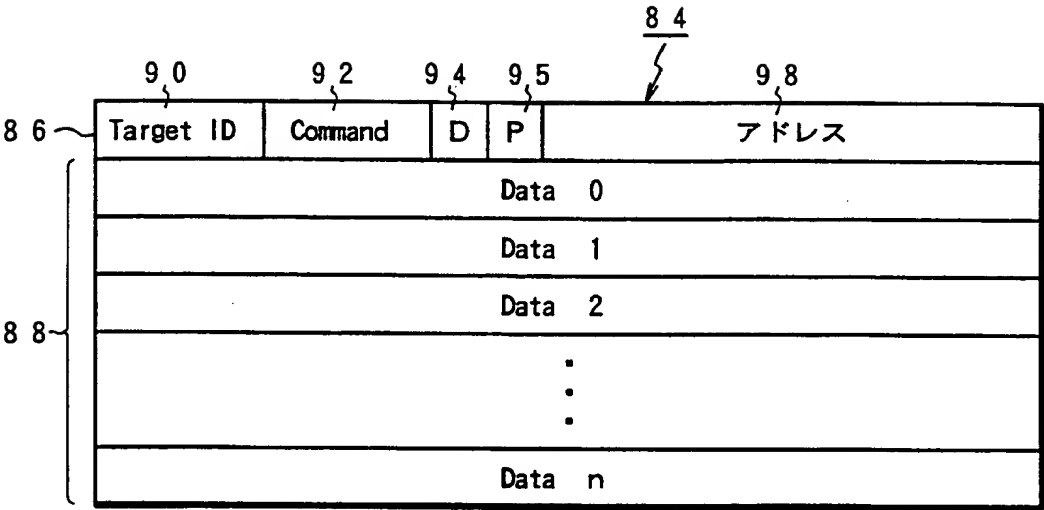


図 1 8

リクエスト	リプライ
通常+プリフェッチ	通常+プリフェッチ
	通常のみ
通常	通常のみ
プリフェッチ	プリフェッチのみ
	(なし)

**THIS PAGE BLANK (USPTO)**

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/05759

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>6</sup> G06F15/16

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>6</sup> G06F15/16, G06F12/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-1999

Kokai Jitsuyo Shinan Koho 1971-1999 Jitsuyo Shinan Toroku Koho 1996-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JICST File on Science and Technology, 「kyasshu\*heiretsu」

WPI

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 7-282023, A (Hitachi, Ltd.), 27 October, 1995 (27. 10. 95) (Family: none)	1-16
A	JP, 9-146835, A (International Business Machines Corp.), 6 June, 1997 (06. 06. 97) & KR, 97029103, A	1-16



Further documents are listed in the continuation of Box C.



See patent family annex.

\*

Special categories of cited documents:

"A"

document defining the general state of the art which is not considered to be of particular relevance

"E"

earlier document but published on or after the international filing date

"L"

document which may throw doubts on priority claim(s) or which is

cited to establish the publication date of another citation or other

special reason (as specified)

"O"

document referring to an oral disclosure, use, exhibition or other

means

"P"

document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination

being obvious to a person skilled in the art  
document member of the same patent family

"&amp;"

Date of the actual completion of the international search

10 March, 1999 (10. 03. 99)

Date of mailing of the international search report

23 March, 1999 (23. 03. 99)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**THIS PAGE BLANK (USPTO)**

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>o</sup> G06F15/16

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>o</sup> G06F15/16, G06F12/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年  
 日本国公開実用新案公報 1971-1999年  
 日本国実用新案登録公報 1996-1999年  
 日本国登録実用新案公報 1994-1999年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

JICST科学技術文献ファイル, 「キャッシュ\*並列」  
 WPI

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 7-282023, A (株式会社日立製作所), 27. 10月. 1995 (27. 10. 95) (ファミリーなし)	1-16
A	JP, 9-146835, A (インターナショナル・ビジネス・マシーンズ・コーポレーション), 6. 6月. 1997 (06. 06. 97) &KR, 97029103, A	1-16

☐ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日

10. 03. 99

国際調査報告の発送日

23.03.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

石井 茂和

電話番号 03-3581-1101 内線 3562

5 L 9642

**THIS PAGE BLANK (USPTO)**